

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

| | | |
|--|---|------------------------------|
| (51) Int. Cl. ⁷ G11C 16/02 | (11) 공개번호 (43) 공개일자 | 특2001-0044902 2001년06월05일 |
| (21) 출원번호 (22) 출원일자 | 10-1999-0047959 1999년11월01일 | |
| (71) 출원인 | 삼성전자 주식회사 윤종용 | |
| (72) 발명자 | 경기 수원시 팔달구 매탄3동 416 김동한 서울특별시마포구현석동4-4번지 권석천 | |
| (74) 대리인 | 경기도성남시분당구정자동122번지상록마을우성APT325동801호 임창현, 권혁수 | |

심사결과 : 있음

(54) 문턱 전압 분포들 사이의 마진을 일정하게 유지할 수 있는멀티-스테이트 불휘발성 반도체 메모리 장치

요약

여기에 개시되는 불휘발성 반도체 메모리 장치는 비트 라인, 상기 비트 라인에 대해 수직으로 배열된 복수 개의 워드 라인들, 그리고 상기 비트 라인과 상기 워드 라인들의 교차 영역들에 각각 배열된 복수 개의 메모리 셀들을 갖는 어레이를 포함한다. 상기 불휘발성 반도체 메모리 장치에는, 저장 회로 및 프로그램 데이터 판별 회로가 제공된다. 상기 저장 회로는 각각이 대응하는 입출력 라인에 연결되고 데이터를 래치하는 적어도 2개의 래치들을 구비한다. 그리고, 상기 프로그램 데이터 판별 회로는 상기 래치들에 래치된 데이터의 로직 상태들에 따라 선택된 메모리 셀의 프로그램 또는 프로그램 금지를 나타내는 지의 여부를 판별하며, 그 판별 결과에 따라 비트 라인을 프로그램 전압과 프로그램 금지 전압 중 하나로 설정한다.

도표도

도 7

발명자

도면의 간단한 설명

- 도 1은 종래 기술에 따른 불휘발성 반도체 메모리 장치를 보여주는 회로도;
- 도 2는 프로그램된 데이터에 따른 메모리 셀의 문턱 전압 분포를 보여주는 도면;
- 도 3은 도 1의 메모리 장치의 프로그램 및 프로그램 검증 동작들에 관련된 신호들을 보여주는 타이밍도;
- 도 4는 프로그램 및 프로그램 검증 동작들 동안 도 1의 선택된 워드 라인에 인가되는 전압을 보여주는 파형도;
- 도 5 및 도 6은 프로그램 동안 도 1의 메모리 셀의 프로그램 데이터 및 문턱 전압 변화들을 보여주는 도면들;
- 도 7은 본 발명에 따른 불휘발성 반도체 메모리 장치를 보여주는 회로도;
- 도 8은 도 7의 메모리 장치의 프로그램 및 프로그램 검증 동작들에 관련된 신호들을 보여주는 타이밍도;
- 도 9 및 도 10은 프로그램 동안 도 7의 메모리 셀의 프로그램 데이터 및 문턱 전압 변화들을 보여주는 도면들이다.

도면의 주요 부분에 대한 부호의 설명

1, 100 : 행 디코더 회로

발명의 상세한 설명

발명의 목적

본명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치들에 관한 것으로서, 구체적으로는 셀 당 복수 비트의 정보를 저장하는 불휘발성 반도체 메모리 장치에 관한 것이다.

불휘발성 반도체 메모리 장치들은 마스크 롬 장치, 전기적으로 프로그램 가능한 롬 (EPROM) 장치, 전기적으로 소거 및 프로그램 가능한 롬 (EEPROM) 장치, 그리고 전기적으로 소거 및 프로그램 가능한 플래시 롬 (flash-EEPROM) 장치로 분류될 수 있다. 이러한 메모리 장치들 중 전기적으로 소거 및 프로그램 가능한 플래시 롬 장치는 저장된 데이터를 순식간에 소거함으로써 정보의 전기적인 변화를 얻을 수 있다는 점에서 개인용 컴퓨터의 영구 메모리로서 최근 논의되어 왔다.

일반적인 플래시 메모리 장치에 있어서, 메모리 셀들은 두 가지 정보 저장 상태를 즉, "온" 상태와 "오프" 상태 중 하나를 가질 수 있다. 1-비트 정보는 각 메모리 셀의 온 또는 오프 상태로 정의된다. 앞서 언급된 일반적인 메모리 장치들에 N-비트 데이터 (N은 2 또는 그 보다 큰 자연수)를 저장하기 위해서는, N 개의 메모리 셀들이 필요하다. 1-비트 메모리 셀들을 갖는 메모리 장치에 저장될 데이터 비트 수를 늘리고자 할 때, 그러한 메모리 셀들의 수 역시 비례하여 늘어날 것이다.

1-비트 메모리 셀에 저장된 정보는 메모리 셀의 프로그램된 상태에 의해서 결정된다. 메모리 셀의 정보 저장 상태는 문턱 전압에 의해서 결정된다. 다시말해서, 메모리 셀들은 다른 문턱 전압들에 따라 다른 정보 저장 상태들을 갖는다. 마스크 롬의 경우에 있어서, 셀 트랜지스터의 문턱 전압의 차이는 이온 주입을 이용하여 셀 트랜지스터를 프로그램함으로써 얻을 수 있다. EEPROM, EEPROM 그리고 플래시 EEPROM 장치들의 경우에 있어서, 셀 트랜지스터의 문턱 전압의 차이는 메모리 셀들의 부유 게이트들 내에 다른 양의 전하들을 저장함으로써 얻을 수 있다.

구체적으로는, 각 메모리 셀 트랜지스터는 소오스 및 드레인 영역들 사이의 채널 영역 상에 얇게 형성된 상부층 및 하부층을 갖는다. 상기 상부층은 제어 게이트라 불린다. 상기 하부층은 제어 게이트 및 채널 영역 사이의 절연 물층에 의해서 둘러싸여 있다. 상기 하부층은 전하 저장 영역으로서 부유 게이트라 불린다. 따라서, 각 메모리 셀에 저장된 정보의 상태는 메모리 셀의 문턱 전압에 의해서 구별될 수 있다.

메모리 장치의 메모리 셀들에 저장된 정보를 읽기 위해서는, 프로그램된 메모리 셀들의 정보 저장 상태를 점검하여야 한다. 선택된 메모리 셀로부터 상태 정보를 읽기 위해 요구되는 신호들은 디코더 회로에 의해서 선택된 메모리 셀에 관련된 회로들에 인가된다. 결과적으로, 메모리 셀의 저장 정보를 나타내는 전류 또는 전압 신호를 비트 라인에서 얻을 수 있다. 그렇게 얻어진 전류 또는 전압 신호를 측정함으로써 메모리 셀의 프로그램된 정보를 판별할 수 있다.

이러한 메모리 장치들은 메모리 셀들이 비트 라인들에 연결된 상태에 따라 노어형 또는 낸드형 메모리 셀 어레이 구조를 갖는다. 노어형 메모리 셀 어레이에 있어서, 메모리 셀들은 비트 라인과 접지 라인 사이에 각각 연결된다. 낸드형 메모리 셀 어레이에 있어서, 메모리 셀들은 비트 라인과 접지 라인 사이에 연결된다. 선택 트랜지스터들과 함께 하나의 비트 라인에 직렬 연결된 복수의 메모리 셀들을 스트링이라 부르며, 상기 선택 트랜지스터들은 메모리 셀들의 스트링을 선택하기 위해서 사용된다. 상기 선택 트랜지스터들은 직렬 연결된 메모리 셀들과 관련 비트 라인 사이에 배열된 제 1 트랜지스터 (또는 스트링 선택 트랜지스터)와, 상기 직렬 연결된 메모리 셀들과 접지 라인 사이에 배열된 제 2 트랜지스터 (또는 접지 선택 트랜지스터)를 포함한다.

낸드형 메모리 장치에 저장된 정보를 읽을 때, 선택된 스트링의 선택 트랜지스터는 온 상태로 스위치된다. 게다가, 선택된 메모리 셀의 제어 게이트에 인가되는 전압보다 높은 전압이 비선택된 메모리 셀들의 제어 게이트들에 인가된다. 결과적으로, 비선택된 메모리 셀들은 선택된 메모리 셀과 비교하여 볼 때 적은 등가 저항 성분을 갖는다. 관련 비트 라인으로부터 스트링을 통해 흐르는 전류의 크기는 스트링의 선택된 메모리 셀에 저장된 정보에 의존한다. 선택된 메모리 셀에 저장된 정보에 대응하는 전류 또는 전압은 감지 증폭기로서 잘 알려진 감지 회로에 의해서 감지된다.

칩 크기의 증가없이 메모리 장치들의 정보 저장 능력을 향상시키기 위한 많은 스킴들이 제안되어 왔다. 예를 들면, 각 메모리 셀에 적어도 2 비트들의 정보를 저장할 수 있다. 일반적으로, 메모리 셀은 1-비트 정보를 저장한다. 하지만, 2-비트 정보가 하나의 메모리 셀에 저장될 때, 메모리 셀은 "00", "01", "10" 또는 "11"로 프로그램된다. 따라서, 메모리 셀에 1-비트 정보가 저장되는 메모리 장치와 비교하여 볼 때, 메모리 장치는 동일한 수의 메모리 셀들을 갖고 2배의 정보를 저장할 수 있다. 메모리 셀 당 2 비트들을 저장할 때, 각 메모리 셀의 문턱 전압이 4개의 다른 값을 중 하나를 갖도록 프로그램되는 멀티-스테이트 (multi-state) (멀티-레벨 또는 멀티-비트) 메모리 장치가 제공된다. 메모리 셀 당 용량이 2배가 되기 때문에, 동일한 메모리 용량을 제공하는 반면에 칩 크기는 감소될 수 있다. 메모리 셀 당 저장되는 비트 수가 증가함에 따라, 멀티-스테이트 메모리 장치의 데이터 저장 용량은 늘어난다.

도 1은 낸드형 플래시 EEPROM 셀들을 이용하여 메모리 셀 당 2-비트 정보를 저장하는 종래 기술에 따른 메모리 장치를 보여주는 회로도이다. 도 1의 메모리 장치는 U.S. Patent No. 5,768,180에 "MULTI-STATE NON-VOLATILE SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME"라는 제목으로 개제되어 있으며, 레퍼런스로 포함한다. 상기 '188 특허에 개시된 도 1의 메모리 장치는 각각이 복수의 직렬 연결된 메모리 셀들을 갖는 2개의 메모리 셀 스트링들을 포함하며, 각 메모리 셀 스트링에 관련된 2개의 비트 라인들이 개시되어 있다. 도 1에서, 각 스트링의 메모리 셀들은 참조 부호들 (T1-2~T1-5 또는 T1-8~T1-11)로 각각 표기된다. 선택 트랜지스터 (T1-1 또는 T1-7)는 각 스트링과 관련된 비트 라인 (BL1 또는 BL2) 사이에 연결된다. 상기 선택 트랜지스터는 관련된 스트링과 비트 라인을 서로 연결하기 위해서 선택적으로 턴 온된다. 다른 선택 트랜지스터 (T1-6 또는 T1-12)는 각 스트링과 공통 소오스 라인 (CSL) 사이에 배열되며, 스트링과 공통 소오스 라인 (CSL) 사이의 연결을 선택적으로 전환한다. 공통형 트랜지스터 (M1-1 또는 M1-2)는 고전압의 인가를 방지하기 위해서 각 비트 라인에 연결되어 있다.

비트 라인 선택 트랜지스터 (S1-1 또는 S1-2)는 각 비트 라인에 연결되어 있다. 각 비트 라인 선택 트랜

지스터는 비트 라인 선택 신호 (A9 또는 A9b)에 응답하여 각 비트 라인을 선택한다. 신호 라인 (BLVL)은 전달 트랜지스터를 (TM1-1, TM1-2)을 통해 비트 라인을 각각에 연결되어 있다. 각 전달 트랜지스터는 비트 라인이 비선택될 때 인가된 비트 라인 선택 신호를 (A9, A9b)에 응답하여 신호 라인 (BLVL)으로부터의 신호 (BLVL)를 관련된 비트 라인 (즉, 비선택된 비트 라인)에 인가한다. 상기 신호 (BLVL)은 프로그램 및 읽기 동작 동안 비선택된 비트 라인에 프로그램 금지 전압 (예를 들면, 전원 전압 Vcc)을 공급하는 반면에 소거 동작 동안 플로팅 상태로 유지된다. 트랜지스터 (T1-13)는 읽기 동작 동안 선택된 비트 라인으로 정전류를 공급하기 위해서 비트 라인들에 공통으로 연결되어 있다. 도 1의 메모리 장치는 각 비트 라인에 관련된 래치형 감지 증폭기를 (11-1, 11-2) 또는 (11-3, 11-4)를 포함한다. 감지 증폭기들은 프로그램 동작 동안 외부로부터 인가되는 데이터를 래치하고, 관련된 비트 라인에 래치된 데이터에 대응하는 전압을 공급하며, 읽기 동작 동안 읽혀진 데이터를 래치한다.

복수 개의 트랜지스터들 (T1-17, T1-18, T1-19, T1-21, T1-22, T1-23)이 제공되며, 읽기 동작 동안 선택된 비트 라인 레벨에 따라 감지 증폭기들의 래치 상태를 반전시키거나 그대로 유지시킨다. 이러한 기능은 래치 활성화 신호들 ($\phi V2$, $\phi V1$, $\phi R1$)에 의해서 제어된다. 상기 래치 활성화 신호들 ($\phi V2$, $\phi V1$, $\phi R1$)은 읽기 동작이 개시되고 소정의 시간이 경과한 후 래치 상태의 반전이 요구되는 시점에서 펄스 형태로 활성화된다. 트랜지스터 (T1-15)는 비트 라인들에 연결되어 있다. 상기 트랜지스터 (T1-15)는 비트 라인들을 접지 전압 상태로 유지시키는 반면에 읽기 동작이 수행되기 바로 전에 래치들을 초기화시킨다. 상기 트랜지스터 (T1-15)는 신호 (DCB)에 의해서 제어된다. 트랜지스터들 (T1-14, T1-16)은 비트 라인들 (BL1, BL2)에 각각 연결되어 있다. 상기 트랜지스터들 (T1-14, T1-16)은 프로그램 동작이 수행될 때 턴 온되며, 래치된 데이터를 비트 라인들 (BL1, BL2)로 전달한다. 상기 트랜지스터들 (T1-14, T1-16)은 제어 신호들 (PGM1, PGM2)에 의해서 각각 제어된다.

도 2는 프로그램된 데이터에 따른 메모리 셀의 문턱 전압 분포를 보여주는 도면이다. 도 2에 도시된 바와 같이, 프로그램된 메모리 셀은 -2.0V보다 낮은 문턱 전압 분포 ("1"의 2-비트 데이터를 나타냄), 0.4V 내지 0.8V 범위의 문턱 전압 분포 ("10"의 2-비트 데이터를 나타냄), 1.6V 내지 2.0V 범위의 문턱 전압 분포 ("01"의 2-비트 데이터를 나타냄), 그리고 2.8V 내지 3.2V 범위의 문턱 전압 분포 ("00"의 2-비트 데이터를 나타냄) 중 하나를 갖는다. 이러한 문턱 전압 분포들을 기초로 하여 하나의 메모리 셀에 4개의 다른 상태로 데이터가 저장된다.

도 3 및 도 4를 참조하면, 프로그램 및 프로그램 검증 동작들에 관련된 신호들의 파형들이 도시되어 있다. 프로그램 사이클은 프로그램 동작과 프로그램 검증 동작을 포함한다. 상기 프로그램 동작 동안에는 메모리 셀들의 부유 게이트들로 전자들이 주입되며, 상기 프로그램 검증 동작 동안에는 프로그램된 메모리 셀들 각각이 요구되는 문턱 전압을 갖는지의 여부가 검증된다. 프로그램 동작 및 프로그램 검증 동작은 선택된 메모리 셀들 모두 요구되는 문턱 전압들을 갖을 때까지 반복된다. 이러한 동작들이 반복되는 횟수는 메모리 장치에서 결정된 적정값으로 제한될 것이다. F-N 터널링 (Fowler Nordheim tunneling)을 이용하여 선택된 메모리 셀을 프로그램하기 위해서는, 예를 들면, 14V~19V의 고전압이 셀의 제어 게이트에 인가되는 반면에 셀의 채널은 접지 전압 레벨로 유지된다.

따라서, 비교적 강한 전계가 부유 게이트와 채널 사이에 가해진다. 상기 전계에 의해서, 플로팅 게이트와 채널 사이에 형성된 산화막을 통해 플로팅 게이트와 채널 사이에서 터널링이 생긴다. 채널에 존재하는 전자들은 부유 게이트로 이동하며, 그 결과 상기 전자들은 부유 게이트에 축적된다. 부유 게이트에 전하들이 축적됨에 따라 셀의 문턱 전압이 높아진다. 복수의 데이터 셀들을 구성하는 메모리 장치의 경우, 데이터 셀들에 대한 프로그램 동작은 개별적으로 수행되는 것이 아니라, 동시에 수행된다. 하지만, 메모리 셀들은 다른 문턱 전압을 족, 다른 프로그램 정도를 필요로 한다. 이 때문에, 한번의 프로그램 동작이 수행된 후, 메모리 셀들이 요구되는 상태들에 도달하였는지의 여부를 검증할 필요가 있고 (프로그램 검증), 충분히 프로그램된 메모리 셀들에 영향을 주지 않고 (프로그램 금지) 불충분하게 프로그램된 메모리 셀들에 대한 프로그램 동작을 수행할 필요가 있다. 상기 프로그램 동작 및 프로그램 검증 동작은 선택된 메모리 셀들 모두 요구되는 문턱 전압들에 도달할 때까지 반복된다. 도 1의 메모리 장치에 있어서, 선택된 워드 라인에 연결된 메모리 셀들 중 절반이 상술한 바와 같이 프로그램된다.

종래 기술에 따른 프로그램 동작 및 프로그램 검증 동작은 도 3의 타이밍도에 의거하여 상세히 설명된다. 이 분야에 통상적인 지식을 습득한 자들에게 잘 알려진 바와 같이, 프로그램 동작이 수행되기 이전에 모든 메모리 셀들의 문턱 전압들은 잘 알려진 소거 스크임에 의해서 음의 문턱 전압을 갖는다. 소거 동작의 SEMICONDUCTOR MEMORY DEVICE AND A METHOD THEREOF라는 제목으로 게재되어 있으며, 레퍼런스로 포함한다.

먼저, 비트 라인 선택 신호들 (A9, A9b)에 따라 2개의 비트 라인들 (BL1, BL2) 중 하나의 비트 라인 (BL1)이 선택될 때, 라인 (BLVL)으로부터의 전원 전압 (Vcc)이 비선택된 비트 라인 (BL2)으로 인가된다. 그 결과, 비선택된 비트 라인 (BL2)에 관련된 메모리 셀이 프로그램되는 것을 방지할 수 있다. 비선택된 비트 라인으로 전원 전압 (Vcc)을 공급하는 프로그램 금지 기술은 이 분야에 숙련된 자들에게 잘 이해될 것이다.

그 다음에, 프로그램될 데이터가 상기 선택된 비트 라인 (BL1)에 관련된 래치들 (Q2, Q1)에 로드된다. "00"의 데이터가 상기 래치들 (Q2, Q1)에 로드된다고 가정하자. 이러한 가정 하에서, 도 3의 첫번째 프로그램 사이클 (a)이 시작되면, 래치 (Q1)를 선택하기 위한 신호 (PGM1)가 로직 로우 레벨에서 로직 하이로 천이한다. 이에 따라, 선택된 비트 라인 (BL1)은 트랜지스터 (T1-16)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, 0.4V~0.8V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (PGM1, PGM2, BLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 이때, 상기 선택된 비트 라인 (BL1)과 래치 (Q1)의 로직 상태를 모두 로직 로우 레벨이기 때문에, 트랜지스터들 (T1-19, T1-20)은 턴 오프된다. 그러므로, 도

3에 도시된 바와 같이, 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되더라도, 래치 (Q1)의 로직 상태는 반전되지 않는다. 앞서 설명된 래치 (Q1)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 또는 정해진 프로그램 횟수만큼 반복적으로 수행될 것이다. 첫번째 프로그램 사이클 (a)이 종료된 후, 상기 선택된 메모리 셀은 도 6c 및 도 6d에 도시된 바와 같이 "10"의 데이터에 대응하는 0.4V~0.8V의 문턱 전압 분포를 갖는다.

도 3의 두번째 프로그램 사이클 (b)이 시작되면, '0'가 래치되어 있는 래치 (Q2)를 선택하기 위한 신호 (PGM2)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, 상기 선택된 비트 라인 (BL1)은 트랜지스터 (T1-14)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, 1.6V~2.0V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (PGM1, PGM2, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 전원 전압 레벨이 되며, 그 결과 트랜지스터 (T1-17)는 턴 온된다. 이때, 도 3에 도시된 형태로 활성화되면, 래치 (Q2)의 로직 상태는 "0"에서 "1"로 반전된다. 이에 반해서, 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 선택된 비트 라인 (BL1)은 접지 전압 레벨로 유지되며, 그 결과 래치 (Q2)의 상태는 반전되지 않는다. 이러한 경우, 래치 (Q2)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 또는 정해진 프로그램 횟수만큼 반복적으로 수행될 것이다. 두번째 프로그램 사이클 (b)이 종료된 후, 상기 선택된 메모리 셀은 도 6c 및 도 6d에 도시된 바와 같이 "01"의 데이터에 대응하는 1.6V~2.0V의 문턱 전압 분포를 갖는다.

마지막으로, 도 3의 세번째 프로그램 사이클 (c)이 시작되면, '0'가 래치되어 있는 래치 (Q1)를 선택하기 위한 신호 (PGM1)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, 상기 선택된 비트 라인 (BL1)은 트랜지스터 (T1-16)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, 2.8V~3.2V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (PGM1, PGM2, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 전원 전압 레벨이 되며, 그 결과 트랜지스터 (T1-19)는 턴 온된다. 이때, 래치 (Q2)의 상태가 "1"이기 때문에, 트랜지스터 (T1-20) 역시 턴 온된다. 그러므로, 도 3에 도시된 바와 같이, 세번째 프로그램 사이클 (c)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되면, 래치 (Q1)의 로직 상태는 "0"에서 "1"로 반전된다. 세번째 프로그램 사이클 (c)이 종료된 후, 도 6c 및 도 6d에 도시된 바와 같이, 상기 선택된 메모리 셀은 "00"의 데이터에 대응하는 즉, 목표 문턱 전압 분포인 2.8V~3.2V의 문턱 전압 분포를 갖는다.

"01"의 데이터가 상기 래치들 (Q2, Q1)에 로드되는 경우, 프로그램 및 프로그램 검증 동작들은 다음과 같다. 먼저, 첫번째 프로그램 사이클 (a)이 시작되면, 도 3에 도시된 바와 같이, 래치 (Q1)를 선택하기 위한 신호 (PGM1)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, 선택된 비트 라인 (BL1)은 트랜지스터 (T1-16)를 통해 전원 전압 레벨을 갖는다. 그러므로, 상기 선택된 비트 라인 (BL1)이 프로그램 금지 상태의 전원 전압 레벨로 유지되기 때문에, 상기 선택된 메모리 셀은 첫번째 프로그램 사이클 (a) 동안 프로그램 금지된다. 결과적으로, 첫번째 프로그램 사이클 (a)이 종료된 후, 상기 선택된 메모리 셀의 문턱 전압은 소거된 상태 즉, "11"의 데이터에 대응하는 -3V~-2V의 문턱 전압 분포에서 그대로 유지된다.

두번째 프로그램 사이클 (b)이 시작되면, '0'가 래치되어 있는 래치 (Q2)를 선택하기 위한 신호 (PGM2)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, 상기 선택된 비트 라인 (BL1)은 트랜지스터 (T1-14)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, 1.6V~2.0V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (PGM1, PGM2, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 전원 전압 레벨이 되며, 그 결과 트랜지스터 (T1-17)는 턴 온된다. 이때, 도 3에 도시된 바와 같이, 두번째 프로그램 사이클 (b)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V2$)가 펄스 형태로 활성화되면, 래치 (Q2)의 로직 상태는 "0"에서 "1"로 반전된다. 이에 반해서, 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 선택된 비트 라인 (BL1)은 접지 전압 레벨로 유지되며, 그 결과 래치 (Q2)의 상태는 반전되지 않는다. 이러한 경우, 래치 (Q2)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 또는 정해진 프로그램 횟수만큼 반복적으로 수행될 것이다. 두번째 프로그램 사이클 (b)이 종료된 후, 도 6a 및 도 6b에 도시된 바와 같이, 상기 선택된 메모리 셀은 "01"의 데이터에 대응하는 1.6V~2.0V의 문턱 전압 분포를 갖는다.

계속해서 세번째 프로그램 사이클 (c)이 시작되면, 래치 (Q1)를 선택하기 위한 신호 (PGM1)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, 선택된 비트 라인 (BL1)은 트랜지스터 (T1-16)를 통해 전원 전압 레벨을 갖는다. 그러므로, 상기 선택된 비트 라인 (BL1)이 프로그램 금지 상태의 전원 전압 레벨로 유지되기 때문에, 상기 선택된 메모리 셀은 세번째 프로그램 사이클 (c) 동안 프로그램 금지된다. 결과적으로, 세번째 프로그램 사이클 (c)이 종료된 후, 상기 선택된 메모리 셀은 이전에 프로그램된 상태 즉, "01"의 데이터에 대응하는 1.6V~2.0V의 문턱 전압 분포를 갖는다.

상기 래치들 (Q2, Q1)에 데이터 "11"이 로드되는 경우, 첫번째, 두번째 그리고 세번째 프로그램 사이클들 (a, b, c)에서 상기 선택된 비트 라인 (BL1)이 프로그램 금지 상태의 전원 전압 레벨로 유지되기 때문에, 상기 선택된 메모리 셀은 소거된 상태로 계속해서 유지된다. 즉, 상기 선택된 메모리 셀은 도 5a 및 도 5b에 도시된 바와 같이 -3V~-2V의 문턱 전압 분포를 갖는다. 그리고, 래치들 (Q2, Q1)에 데이터 "10"가

로드되는 경우, "00"의 데이터를 프로그램하는 동작에서 설명된 바와 같이, 첫번째 프로그램 사이클에서 래치 (Q1)의 상태가 "0"에서 "1"로 반전되기 때문에, 상기 선택된 메모리 셀은 두번째 및 세번째 프로그램 사이클들 (b, c)에서 프로그램 금지된다. 결과적으로, 상기 선택된 메모리 셀은 0.4V~0.8V의 문턱 전압 분포를 갖는다. 이러한 일련의 과정을 통해, 2-비트 데이터에 대한 프로그램이 종료된다.

앞서 설명된 프로그램 동작 동안 선택된 메모리 셀의 프로그램 데이터에 따른 문턱 전압의 변화가 도 5 및 도 6에 도시되어 있다. 데이터 "0"에 대한 문턱 전압 변화를 보여주는 도 6a 및 도 6b를 참조하면, 선택된 메모리 셀이 첫번째 프로그램 사이클 (a)에서 프로그램 금지되기 때문에, 상기 선택된 메모리 셀의 문턱 전압은 두번째 프로그램 사이클이 수행될 때 -3V~-2V의 문턱 전압 분포에서 1.6V~2.0V의 문턱 전압 분포로 이동된다. 즉, 선택된 메모리 셀의 문턱 전압이 "10"의 데이터에 대응하는 문턱 전압 분포로 이동 없이 "11"의 데이터에 대응하는 문턱 전압 분포에서 "0"의 데이터에 대응하는 문턱 전압 분포로 직접 이동된다. 이러한 이유때문에, "0"의 데이터를 프로그램하는 데 필요한 시간 (프로그램 시간)은 단 계적으로 또는 순차적으로 프로그램되는 메모리 셀 (예를 들면, "00"의 데이터에 대한 설명 참조)과 비교 하여 볼 때 더욱 길어진다. 그러므로, 도 6a 및 도 6b에서 점선으로 표시된 바와 같이, "0"의 데이터로 프로그램된 메모리 셀의 문턱 전압 분포 (1.5V~2.1V)는 요구되는 것 (1.6V~2.0V) 보다 더 넓게 분포되며, 문턱 전압 분포들 간의 마진 (예컨대, "10"에 대응하는 문턱 전압 분포와 "0"에 대응하는 문턱 전압 분포 사이의 마진 또는 "0"에 대응하는 문턱 전압 분포와 "00"에 대응하는 문턱 전압 분포 사이의 마진)이 감소된다. 이는 읽기 실패 (read fail)의 원인이 될 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 프로그램이후 문턱 전압들 간의 마진을 일정하게 유지시킬 수 있는 불휘발성 반도체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 메모리 셀을 요구되는 문턱 전압까지 프로그램하고자 할 때 상기 메모리 셀의 문턱 전압이 각 프로그램 데이터에 대응하는 문턱 전압으로 순차적으로 이동되도록 하는 불휘발성 반도체 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상술한 바와 같은 목적들을 달성하기 위한 본 발명의 멀티-스테이트 불휘발성 반도체 메모리 장치는 하나 이상의 메모리 셀에 프로그램될 정보 (예를 들면, 2-비트 데이터)를 저장하는 저장 회로 및 상기 저장 회로에 저장된 데이터 비트들의 로직 상태들을 판별하는 프로그램 데이터 판별 회로를 포함한다. 상기 프로그램 데이터 판별 회로는 저장 회로에 저장된 데이터 비트들 중 적어도 하나가 상기 메모리 셀의 프로그램을 나타내는 지의 여부를 판별하며, 그 판별 결과에 따라 비트 라인을 프로그램 전압 (예를 들면, 접지 전압 레벨)과 프로그램 금지 전압 (예를 들면, 전원 전압 레벨) 중 하나로 설정한다.

이와 같은 메모리 장치에 의하면, 상기 저장 회로에 저장된 데이터 비트들의 로직 상태들에 관계없이 메모리 셀을 각 프로그램 사이클에서 요구되는 문턱 전압으로 프로그램할 수 있다.

이하, 본 발명에 따른 바람직한 실시예가 참조도면들에 의거하여 상세히 설명된다.

도 7은 낸드형 플래시 EPROM 셀들을 이용하여 메모리 셀 당 2-비트 정보를 저장하는 본 발명에 따른 메모리 장치를 보여주는 회로도이다. 도 7의 메모리 장치는 각각이 복수의 직렬 연결된 메모리 셀들을 갖는 2개의 메모리 셀 스트링들을 포함한다. 도 7에서, 각 스트링의 메모리 셀들은 참조 부호들 (MC1~1~MC1-4 또는 MC1-5~MC1-8)로 각각 표기된다. 스트링 선택 트랜지스터들 (ST1, ST2)은 각 스트링과 관련된 비트 라인 사이에 연결된다. 상기 스트링 선택 트랜지스터들 (ST1, ST2)은 행 디코더 회로 (100)에 연결된 비트 스트링 선택 라인 신호 (SSL)의 로직 상태에 따라 턴 온/오프되며, 대응하는 스트링과 비트 라인을 전기적으로 연결한다. 접지 선택 트랜지스터들 (GT1, GT2)은 각 스트링과 공통 소오스 라인 (CSL) 사이에 배렬되며, 상기 행 디코더 회로 (100)로부터의 접지 선택 라인 신호 (GSL)의 로직 상태에 따라 턴 온/오프된다. 공통형 트랜지스터 (DT1 또는 DT2)는 고전압에 대응하는 비트 라인으로 인가되는 것을 방지하기 위한 것이다.

비트 라인 선택 트랜지스터들 (BLST1 또는 BLST2)은 대응하는 비트 라인을 (BL1, BL2)에 각각 연결되어 있다. 각 비트 라인 선택 트랜지스터 (BLST1, BLST2)는 비트 라인 선택 신호 (A9 또는 A9b)에 응답하여 각 비트 라인을 선택한다. 신호 라인 (BLLVL)은 전달 게이트들 (TG1, TG2)을 통해 비트 라인을 (BL1, BL2) 각각에 연결되어 있다. 각 전달 게이트 (TG1, TG2)는 비트 라인 선택 신호들 (A9, A9b)에 응답하여 신호 라인 (BLLVL)으로부터의 신호 (BLLVL)를 비선택된 비트 라인에 인가한다. 상기 신호 (BLLVL)는 프로그램 및 읽기 동작 동안 비선택된 비트 라인에 프로그램 금지 전압 (예를 들면, 전원 전압 Vcc)을 공급하는 반면에 소거 동작 동안 플로팅 상태로 유지된다. 상기 트랜지스터들 (BLST1, BLST2)과 전달 게이트들 (TG1, TG2)은 비트 라인 선택 회로를 구성한다.

로드 트랜지스터로서 동작하는 PMOS 트랜지스터 (MP1)는 읽기 동작 동안 기준 전압 (Vref)을 기초로 하여 선택된 비트 라인으로 정전류를 공급하기 위해서 비트 라인을 (BL1, BL2)에 공통으로 연결되어 있다. 상기 기준 전압 (Vref)을 생성하기 위한 회로의 일례가 U.S. Patent No. 5,748,529에 "INTEGRATED CIRCUIT MEMORY DEVICES HAVING DIRECT READ CAPABILITY"라는 제목으로 게재되어 있으며, 레퍼런스로 포함한다.

본 발명에 따른 메모리 장치는 각 비트 라인 (BL1, BL2)에 대응하며 2개의 래치된 인버터들 (INV1~INV2, INV3~INV4)로 구성되는 래치 회로들 (LT2, LT1)을 포함한다. 상기 각 래치 회로 (LT, LT2)는 프로그램 동작 동안 외부로부터 인가되는 데이터를 래치하고, 읽기 동작 동안 읽혀진 데이터를 래치한다. 대응하는 입출력 라인들 (I/O1, I/O2)에 각각 연결된 상기 래치 회로들 (LT1, LT2)의 노드들 (Q1, Q2)은 읽기 동작 시 수행되기 바로 이전에 대응하는 NMOS 트랜지스터들 (MN8, MN9)을 통해 초기화되며, 상기 트랜지스터들 (MN8, MN9)은 초기화 신호 (PBset)의 로직 상태에 따라 턴 온/오프된다. 상기 래치들 (LT1, LT2)은 저장 회로 (storage circuit)를 구성한다.

도 7의 메모리 장치에는, 저장 제어 회로 (storage control circuit)를 구성하는 복수 개의 NMOS 트랜지스터들 (MN1-MN7)이 더 제공되며, 읽기 동작 동안 선택된 비트 라인 레벨에 따라 래치 회로를 (LT1, LT2)의 래치 상태를 반전시키거나 그대로 유지시킨다. 이러한 기능은 래치 활성화 신호들 ($\phi V2$, $\phi V1$, $\phi R1$)에 의해서 제어된다. 상기 래치 활성화 신호들 ($\phi V2$, $\phi V1$, $\phi R1$)은 읽기 동작이 개시되고 소정의 시간이 경과한 후 래치 상태의 반전이 요구되는 시점에서 펄스 형태로 활성화된다.

본 발명의 바람직한 실시예에 따른 메모리 장치는 프로그램 데이터 판별 회로를 구성하는 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 더 포함한다. 상기 노어 게이트 (NOR)의 일 입력 단자는 래치 회로 (LT1)의 노드 ($\overline{Q1}$)에 연결되고, 다른 입력 단자는 래치 회로 (LT2)의 노드 ($\overline{Q2}$)에 연결된다. 상기 NMOS 트랜지스터 (MN10)의 소오스는 비트 라인들 (BL1, BL2)에 연결되고, 그것의 드레인은 상기 노어 게이트 (NOR)의 출력단에 연결되며, 그것의 게이트는 신호 라인 (SLT)에 연결된다. 상기 신호 (SLT)는 프로그램이 수행되는 동안 각 프로그램 사이클의 프로그램 구간에서 로직 하이 레벨로 유지된다. 이러한 구성에 따르면, 프로그램될 데이터 비트들 (Q2, Q1) 중 적어도 하나가 로직 로우 레벨일 때 (임의의 선택된 셀이 프로그램될 것임을 나타낼 때), 선택되는 비트 라인은 각 프로그램 사이클의 프로그램 동작이 수행될 때 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 프로그램 전압 즉, 전지 전압 레벨로 설정된다. 그리고, 프로그램될 데이터 비트들 (Q2, Q1) 모두 로직 하이 레벨일 때 (임의의 선택된 셀이 프로그램 금지될 것임을 나타낼 때), 선택되는 비트 라인은 각 프로그램 사이클의 프로그램 동작이 수행될 때 프로그램 데이터 판별 회로에 의해서 프로그램 금지 전압 즉, 전원 전압 레벨로 설정된다.

여기서, 다른 로직 게이트들을 이용하여 상술한 바와 같은 기능을 수행하도록 프로그램 데이터 판별 회로를 구성할 수 있음은 자명하다. 그리고, 비록 2개의 비트 라인들만이 도 7에 도시되어 있지만, 더 많은 비트 라인들이 제공되며, 도면에 도시되지 않은 비트 라인들에 관련된 구성 요소들 역시 도 7에 도시된 구성 요소들과 동일하게 구성되는 이 분야에 통상적인 지식을 습득한 자들에게 자명하다.

본 발명에 따른 메모리 장치의 프로그램 동작 및 프로그램 검증 동작이 참조 도면들에 의거하여 이하 상세히 설명된다. 도 8은 본 발명의 프로그램 동작 및 프로그램 검증 동작을 설명하기 위한 타이밍도이다. 이 분야에 통상적인 지식을 습득한 자들에게 잘 알려진 바와 같이, 프로그램 동작이 수행되기 이전에 모든 메모리 셀들의 문턱 전압들은 잘 알려진 소거 스킴에 의해서 음의 문턱 전압을 갖는다. 이후, 선택된 메모리 셀에 대한 프로그램이 다음과 같이 수행된다.

먼저, 비트 라인 선택 신호들 (A9, A9b)에 따라 2개의 비트 라인들 (BL1, BL2) 중 하나의 비트 라인 (BL1)이 선택될 때, 라인 (BL1VL)으로부터의 전원 전압 (Vcc)이 비선택된 비트 라인 (BL2)으로 인가된다. 그 결과, 비선택된 비트 라인 (BL2)에 관련된 메모리 셀이 프로그램되는 것을 방지할 수 있다. 그 다음에, 상기 선택된 비트 라인 (BL1)에 관련된 래치 회로들 (LT2, LT1)에 프로그램될 데이터 비트들 (Q2, Q1)이 로드된다.

<"11"의 데이터에 대한 프로그램 및 프로그램 검증 동작>

"11"의 데이터가 상기 래치 회로들 (LT2, LT1)에 로드된다고 가정하자. 이러한 가정 하에서, 첫번째 프로그램 사이클 (a)이 시작되면, 도 8에 도시된 바와 같이, 신호 (SLT)가 로직 로우 레벨에서 로직 하이 레벨로 천이한다. 이에 따라, NMOS 트랜지스터 (MN10)는 턴 온되며, 노어 게이트 (NOR)의 출력단은 상기 선택된 비트 라인 (BL1)에 연결된다. 상기 노어 게이트 (NOR)의 입력 단자들이 로직 로우 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 하이 레벨이 된다. 결과적으로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 전원 전압 레벨 즉, 프로그램 금지 전압으로 설정된다.

이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 상기 선택된 메모리 셀은 비트 라인 (BL1)이 프로그램 금지 전압 (Vcc)으로 유지되기 때문에 소거된 상태로 유지된다. 그러므로, 프로그램 검증 동작의 결과로서, 상기 래치 회로들 (LT2, LT1)의 노드들 (Q2, Q1)은 초기에 로드된 로직 상태를 "11"로 유지된다. 첫번째 프로그램 사이클 (a)과 마찬가지로, 상기 선택된 비트 라인 (BL1)은 두번째 및 세번째 프로그램 사이클들 (b, c)에서 프로그램 금지 전압을 가지며, 그 결과 상기 래치 회로들 (LT2, LT1)의 노드들 (Q2, Q1)은 초기에 로드된 로직 상태를 "11"로 유지된다. 즉, 도 9a 및 도 9b에 도시된 바와 같이, 상기 선택된 메모리 셀은 "11"의 데이터에 대응하는 문턱 전압 분포 (-3V~-2V)를 갖는다.

<"10"의 데이터에 대한 프로그램 동작 및 프로그램 검증 동작>

"10"의 데이터 비트들 (Q2, Q1)이 상기 래치 회로들 (LT2, LT1)에 로드되는 경우; 프로그램 및 프로그램 검증 동작들은 다음과 같다. 먼저, 첫번째 프로그램 사이클 (a)이 시작되면, 신호 (SLT)가 로직 로우 레벨에서 로직 하이 레벨로 천이하며, 그 결과 NMOS 트랜지스터 (MN10)는 턴 온된다. 이때, 노어 게이트 (NOR)의 출력단은 상기 선택된 비트 라인 (BL1)에 연결된다. 상기 노어 게이트 (NOR)의 입력 단자들이 로

직 로우 레벨 및 로직 하이 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 로우 레벨이 된다. 결과적으로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 접지 전압 레벨 (프로그램 금지 전압)으로 설정된다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 소거 상태의 문턱 전압 (예를 들면, -3V~-2V)에서 요구되는 문턱 전압 (예를 들면, 0.4V~0.8V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (SLT, BL1VL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 전원 전압 레벨로 유지된다. 상기 선택된 비트 라인 (BL1) 및 래치 회로 (LT2)의 노드 (Q2)가 모두 로직 하이 레벨이기 때문에, 트랜지스터들 (MN3, MN4) 모두 턴 온된다. 이러한 상태에서, 첫번째 프로그램 사이클 (a)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화될 때, 래치

회로 (LT1)의 노드 (Q1)의 로직 상태는 "0"에서 "1"로 반전된다.

이와 반대로, 만약 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 상기 선택된 비트 라인 (BL1) 및 래치 회로 (LT2)의 노드 (Q2)가 로직 로우 레벨 및 로직 하이 레벨이기 때문에, 트랜지스터 (MN3)는 턴 오프되고, 트랜지스터 (MN4)는 턴 온된다. 이러한 상태에서, 첫번째 프로그램 사이클 (a)의 프로그램 검증 구간 내 에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되더라도, 래치 회로 (LT1)의 노드 (Q1)의 로직 상태는 반전되지 않는다. 앞서 설명된 래치 회로 (LT1)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될때까지 (또는 정해진 프로그램 횟수만큼) 반복적으로 수행될 것이다.

앞서 설명된 첫번째 프로그램 사이클 (a)이 종료된 후, 래치 회로들 (LT2, LT1)의 래치 상태를 (Q2, Q1)이 "10"에서 "11"로 변화되기 때문에, 상기 선택된 메모리 셀은, 앞서 설명된 바와 같이, 두번째 및 세번째 프로그램 사이클들 (b, c)에서 프로그램 금지된다. 결과적으로, "10"에 대한 프로그램 사이클들이 수행된 후, 도 9c 및 도 9d에 도시된 바와 같이, 상기 선택된 메모리 셀은 0.4V~0.8V의 문턱 전압 분포를 갖는다.

<"01"의 데이터에 대한 프로그램 동작 및 프로그램 검증 동작>

"01"의 데이터가 래치 회로들 (LT2, LT1)에 로드된 후, 신호 (SLT)가 로직 로우 레벨에서 로직 하이 레벨로 천이됨에 따라 첫번째 프로그램 사이클 (a)이 시작된다. NMOS 트랜지스터 (MN10)는 상기 신호 (SLT)의 로우-하이 천이에 따라 턴 온되고, 그 결과 노어 게이트 (NOR)의 출력단은 상기 선택된 비트 라인 (BL1)에 연결된다. 상기 래치 회로들 (LT2, LT1)의 노드들 ($\overline{Q2}$, $\overline{Q1}$)이 각각 로직 하이 레벨과 로직 로우 레벨을 갖기 때문에, 상기 선택된 비트 라인 (BL1)은 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 소거 상태의 문턱 전압 (예를 들면, -3V~-2V)에서 요구되는 문턱 전압 (예를 들면, 0.4V~0.8V)까지 프로그램되도록 상기 선택된 워드 라인으로 고전압이 인가된다.

여기서, 상기 래치 회로 (LT1)의 노드 (Q1)가 로직 하이 레벨이기 때문에, 상기 선택된 메모리 셀은 불충분하게 프로그램되더라도 첫번째 프로그램 사이클 (a)에서 처음으로 수행되는 프로그램 검증 동작에서 충분히 프로그램된 것으로 판별된다 (도면에는 도시되어 있지 않지만, 이 분야에 잘 알려진 패스/페일 판별 회로에 의해서 판별됨). 그러므로, 첫번째 프로그램 사이클 (a)의 프로그램 검증 동작들은 수행되지 않는다. 이후, 첫번째 프로그램 사이클 (a)이 종료된 후, 상기 선택된 메모리 셀은 0.4V~0.8V의 문턱 전압 분포를 가지며, 이는 도 10a 및 도 10b에 도시되어 있다.

"01"에 대한 두번째 프로그램 사이클 (b)이 시작되면, 상기 신호 (SLT)는 다시 로직 로우 레벨에서 로직 하이 레벨로 천이하며, 그 결과 NMOS 트랜지스터 (MN10)는 턴 온된다. 이때, 노어 게이트 (NOR)의 출력단이 상기 선택된 비트 라인 (BL1)에 연결된다. 상기 노어 게이트 (NOR)의 입력 단자들이 로직 하이 레벨 및 로직 로우 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 로우 레벨이 된다. 결과적으로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 접지 전압 레벨을 갖는다. 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가되고 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, 1.6V~2.0V)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (SLT, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 전원 전압 레벨로 유지된다. 상기 선택된 비트 라인 (BL1)의 로직 상태가 로직 하이 레벨이기 때문에, 트랜지스터 (MN1)는 턴 온된다. 이러한 상태에서, 두번째 프로그램 사이클 (b)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V2$)가 펄스 형태로 활성화될 때, 래치 회로 (LT2)의 래치 상태 (Q2)는 "0"에서 "1"로 반전된다.

이와 반대로, 만약 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 상기 선택된 비트 라인 (BL1)의 로직 상태가 로직 로우 레벨이기 때문에, 트랜지스터 (MN1)는 턴 오프된다. 이러한 상태에서, 두번째 프로그램 사이클 (b)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V2$)가 펄스 형태로 활성화되더라도, 래치 회로 (LT2)의 래치 상태 (Q2)는 반전되지 않는다. 앞서 설명된 래치 회로 (LT2)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될때까지 (또는 정해진 프로그램 횟수만큼) 반복적으로 수행될 것이다.

앞서 설명된 두번째 프로그램 사이클 (b)이 종료된 후, 래치 회로들 (LT2, LT1)의 래치 상태를 (Q2, Q1)이 "11"에서 "11"로 변화되기 때문에, 상기 선택된 메모리 셀은 세번째 프로그램 사이클 (c)에서 프로그램 금지된다. 결과적으로, "01"에 대한 일련의 프로그램 사이클들 (a, b, c)이 수행된 후, 상기 선택된 메모리 셀은 도 10a 및 도 10b에 도시된 바와 같이 1.6V~2.0V의 문턱 전압 분포를 갖는다. 본 발명의 의미, 상기 선택된 메모리 셀의 문턱 전압은 첫번째 프로그램 사이클 (a)에서 "10"에 대응하는 문턱 전압 분포 (0.4V~0.8V)로 이동되고, 두번째 프로그램 사이클 (b)에서 "01"에 대응하는 문턱 전압 분포 (1.6V~2.0V)로 이동된다. 즉, 종래 기술에 따른 메모리 장치와 달리, 상기 선택된 메모리 셀은 "10"의 데이터에 대응하는 문턱 전압 분포를 갖게 요구되는 문턱 전압 분포로 프로그램된다. 프로그램될 메모리 셀의 문턱 전압이 순차적으로 이동되도록 함으로써, 프로그램 시간이 길어지는 것과 문턱 전압 분포가 넓어지는 것을 방지할 수 있다. 결과적으로, "10" 및 "01"의 데이터에 대응하는 그리고 "00" 및 "11"의 데이터에 대응하는 문턱 전압 분포들 사이의 마진을 일정하게 유지할 수 있다.

<"00"의 데이터에 대한 프로그램 동작 및 프로그램 검증 동작>

"00"의 데이터가 상기 래치 회로들 (LT2, LT1)에 로드된다고 가정하자. 이러한 가정 하에서, 첫번째 프로그램 사이클 (a)이 시작되면, 신호 (SLT)가 로직 로우 레벨에서 로직 하이 레벨로 천이하며, 이는 도 8에

도시된 바와 같다. 이에 따라, NMOS 트랜지스터 (MN10)는 턴 온되며, 노어 게이트 (NOR)의 출력단은 상기 선택된 비트 라인 (BL1)에 연결된다. 상기 노어 게이트 (NOR)의 입력 단자들이 로직 하이 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 로우 레벨이 된다. 결과적으로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 소거 상태의 문턱 전압 (예를 들면, $-3V \sim -2V$)에서 요구되는 문턱 전압 (예를 들면, $0.4V \sim 0.8V$)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (SLT, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 이때, 상기 선택된 비트 라인 (BL1) 및 래치 회로 (LT2)의 노드 (Q2)의 로직 상태가 로직 로우 레벨이기 때문에, 트랜지스터들 (MN3, MN4)은 턴 오프된다. 그러므로, 도 8에 도시된 바와 같이, 첫번째 프로그램 사이클 (a)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되더라도, 래치 회로 (LT1)의 래치 상태 (Q1)는 반전되지 않는다. 앞서 설명된 래치 회로 (LT1)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 (또는 정해진 프로그램 횟수만큼) 반복적으로 수행될 것이다. 첫번째 프로그램 사이클 (a)이 종료된 후, 도 10c 및 도 10d에 도시된 바와 같이, 상기 선택된 메모리 셀은 데이터 "10"에 대응하는 $0.4V \sim 0.8V$ 의 문턱 전압 분포를 갖는다.

두번째 프로그램 사이클 (b)이 시작되면, 상기 신호 (SLT)가 로직 로우 레벨에서 로직 하이 레벨로 다시 천이하며, 이는 NMOS 트랜지스터 (MN10)가 턴 온되게 된다. 첫번째 프로그램 사이클 (a)과 마찬가지로,

상기 노어 게이트 (NOR)의 입력 단자들이 로직 하이 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 로우 레벨이 된다. 그러므로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, $1.6V \sim 2.0V$)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (SLT, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 이때, 상기 선택된 비트 라인 (BL1)의 로직 상태가 로직 로우 레벨이기 때문에, 트랜지스터 (MN1)는 턴 오프된다. 그러므로, 도 8에 도시된 바와 같이, 두번째 프로그램 사이클 (b)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V2$)가 펄스 형태로 활성화되더라도, 래치 회로 (LT2)의 로직 상태 (Q2)는 반전되지 않는다. 앞서 설명된 래치 회로 (LT2)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 반복적으로 수행될 것이다.

이와 반대로, 상기 선택된 메모리 셀이 충분히 프로그램될 때 상기 선택된 비트 라인 (BL1)은 전원 전압 레벨이 되며, 그 결과 트랜지스터 (MN1)는 턴 온된다. 두번째 프로그램 사이클 (b)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V2$)가 펄스 형태로 활성화되면, 래치 회로 (LT2)의 래치 상태 (Q2)는 "0"에서 "1"로 반전된다. 즉, 두번째 프로그램 사이클 (b)이 종료된 후, 래치 회로들 (LT2, LT1)의 래치 상태들 (Q2, Q1)은 "00"에서 "10"로 변화되고, 상기 선택된 메모리 셀은 $1.6V \sim 2.0V$ 의 문턱 전압 분포를 갖으며, 이는 도 10c 및 도 10d에 도시된 바와 같다.

"00"의 데이터에 대한 세번째 프로그램 사이클 (c)이 시작되면, 상기 NMOS 트랜지스터 (MN10)는 상기 신호 (SLT)의 로우-하이 천이에 응답하여 턴 온된다. 상기 노어 게이트 (NOR)의 입력 단자들이 로직 로우 레벨 및 로직 하이 레벨의 래치 상태를 갖는 노드들 ($\overline{Q2}$, $\overline{Q1}$)에 각각 연결되어 있기 때문에, 상기 노어 게이트 (NOR)의 출력은 로직 로우 레벨이 된다. 그러므로, 상기 선택된 비트 라인 (BL1)은 노어 게이트 (NOR) 및 NMOS 트랜지스터 (MN10)를 통해 접지 전압 레벨을 갖는다. 이후, 선택된 메모리 셀이 연결된 선택된 워드 라인으로 고전압이 인가된다. 소정의 시간이 경과한 후, 선택된 메모리 셀이 요구되는 문턱 전압 (예를 들면, $2.8V \sim 3.2V$)까지 프로그램되었는지의 여부를 검증하기 위한 프로그램 검증 동작이 수행된다.

프로그램 검증을 위한 감지 동작이 수행될 때, 신호들 (SLT, BLLVL)은 로직 로우 레벨로 각각 유지된다. 상기 선택된 메모리 셀이 충분히 프로그램되지 않으면, 상기 비트 라인 (BL1)은 상기 감지 동작의 결과로서 계속해서 접지 전압 레벨로 유지된다. 이때, 상기 선택된 비트 라인 (BL1)의 로직 상태가 로직 로우 레벨이기 때문에, 트랜지스터 (MN3)는 턴 오프된다. 그러므로, 도 8에 도시된 바와 같이, 세번째 프로그램 사이클 (c)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되더라도, 래치 회로 (LT1)의 래치 상태 (Q1)는 반전되지 않는다. 앞서 설명된 래치 회로 (LT1)에 대한 프로그램 동작 및 프로그램 검증 동작은 상기 선택된 메모리 셀이 충분히 프로그램될 때까지 반복적으로 수행될 것이다.

상기 선택된 메모리 셀이 충분히 프로그램될 때, 상기 선택된 비트 라인 (BL1)은 전원 전압 레벨이 되며, 그 결과 트랜지스터 (MN3)는 턴 온된다. 그리고, 래치 회로 (LT2)의 노드 (Q2)의 로직 상태가 이전 프로그램 사이클 (b)에서 "0"에서 "1"로 바뀌었기 때문에, 트랜지스터 (MN4) 역시 턴 온된다. 이러한 상태에서, 세번째 프로그램 사이클 (c)의 프로그램 검증 구간 내에서 래치 활성화 신호 ($\phi V1$)가 펄스 형태로 활성화되면, 래치 회로 (LT1)의 래치 상태 (Q1)는 "0"에서 "1"로 반전된다. 결과적으로, 세번째 프로그램 사이클 (c)이 종료된 후, 도 10c 및 도 10d에 도시된 바와 같이, 래치 회로들 (LT2, LT1)의 래치 상태들 (Q2, Q1)은 "10"에서 "11"로 변화되며, 상기 선택된 메모리 셀은 $2.8V \sim 3.2V$ 의 문턱 전압 분포를 갖는다.

본 발명의 메모리 장치는 마스크 롬들, EPROM들, 그리고 EEPROM들을 이용하여 구현될 수 있고, 본 발명에 따른 메모리 장치는 셀 당 2 비트보다 더 많은 비트들이 저장되도록 확장 가능하다. 게다가, 본 발명의 메모리 장치는 메모리 셀이 높은 문턱 전압에서 낮은 문턱 전압으로 프로그램되는 스킴에도 적용될 수 있

다.

발명의 효과

상술한 바와 같이, 임의의 선택된 셀을 소거된 상태의 문턱 전압에서 목표 문턱 전압으로 프로그램하고자 할 때, 상기 선택된 셀은 소거된 상태의 문턱 전압과 목표 문턱 전압 사이의 문턱 전압들을 차례로 걸쳐 또는 순차적으로 프로그램된다. 그러므로, 임의의 데이터 (예를 들면, "10")에 대응하는 문턱 전압을 거치지 않고 프로그램하는 종래 기술과 비교하여 볼 때, 본 발명에 따른 메모리 장치는 프로그램 시간이 길어지거나 목표 문턱 전압의 분포가 넓어지는 것을 방지할 수 있다. 결과적으로, 문턱 전압 분포들 사이의 마진을 일정하게 유지할 수 있다.

(57) 청구의 범위

청구항 1. 비트 라인과;

상기 비트 라인에 대해 수직으로 배열된 복수 개의 워드 라인들과;

상기 비트 라인과 상기 워드 라인들의 교차 영역들에 각각 배열된 복수 개의 메모리 셀들과;

각각이 대응하는 입출력 라인에 연결되고 데이터를 래치하는 적어도 2개의 래치들을 갖는 저장 회로 및;

상기 래치들에 래치된 데이터의 로직 상태들에 따라 프로그램 동작 동안 상기 비트 라인을 프로그램 전압 및 프로그램 금지 전압 중 하나로 설정하는 프로그램 데이터 판별 회로를 포함하는 불휘발성 반도체 메모리 장치.

청구항 2. 제 1 항에 있어서,

상기 프로그램 데이터 판별 회로는 상기 래치들 각각에 래치된 데이터의 로직 상태들 중 적어도 하나가 선택된 메모리 셀의 프로그램을 나타낼 때 상기 비트 라인을 프로그램 전압으로 설정하고, 상기 래치들 각각에 래치된 데이터의 로직 상태들이 상기 선택된 메모리 셀의 프로그램 금지를 나타낼 때 상기 비트 라인을 프로그램 금지 전압으로 설정하는 불휘발성 반도체 메모리 장치.

청구항 3. 제 2 항에 있어서,

상기 프로그램 데이터 판별 회로는 상기 래치들에 각각 래치된 데이터를 각각 받아들이는 입력 단자들 및, 출력 단자들 갖는 NOR 게이트 및; 상기 비트 라인과 상기 NOR 게이트의 출력 단자 사이에 연결되고, 제어 신호에 따라 스위치 온/오프되는 스위치 트랜지스터를 포함하며, 상기 제어 신호는 프로그램 동작 동안만 활성화되는 불휘발성 반도체 메모리 장치.

청구항 4. 제 3 항에 있어서,

전원 전압과 상기 비트 라인 사이에 연결되며, 프로그램 검증 동작 동안 기준 전압에 응답하여 상기 비트 라인으로 일정한 전류를 공급하는 로드 트랜지스터 및;

상기 프로그램 검증 동작 동안 래치 활성화 신호들에 응답하여 상기 비트 라인의 전압 레벨에 따라 상기 저장 회로에 래치된 데이터의 로직 상태들을 반전시키거나 그대로 유지시키는 저장 제어 회로를 부가적으로 포함하는 불휘발성 반도체 메모리 장치.

청구항 5. 제 4 항에 있어서,

상기 워드 라인들에 대해 수직으로 배열된 다른 비트 라인 및; 비트 라인 선택 신호들에 응답하여 상기 비트 라인들 중 하나를 선택하는 비트 라인 선택 회로를 부가적으로 포함하며, 비선택된 비트 라인은 프로그램 및 프로그램 검증 동작 동안 상기 비트 라인 선택 회로에 의해서 상기 전원 전압으로 바이어스되고, 상기 선택된 비트 라인은 프로그램 동작 동안 상기 래치들에 래치된 데이터의 로직 상태들에 따라 상기 프로그램 데이터 판별 회로를 통해 프로그램 전압과 프로그램 금지 전압 중 하나로 설정되는 불휘발성 반도체 메모리 장치.

청구항 6. 제 5 항에 있어서,

상기 프로그램 전압은 접지 전압 레벨을 갖고, 상기 프로그램 금지 전압은 전원 전압 레벨을 갖는 불휘발성 반도체 메모리 장치.

청구항 7. 제 6 항에 있어서,

상기 래치들에 각각 연결되면, 상기 래치들에 프로그램될 데이터 비트들이 로드되기 이전에 초기화 신호에 응답하여 상기 래치들을 각각 초기화시키는 초기화 트랜지스터들을 부가적으로 포함하는 불휘발성 반도체 메모리 장치.

청구항 8. 제 7 항에 있어서,

상기 래치들에 래치된 데이터 비트들은 일련의 프로그램 사이클들 동안 선택된 메모리 셀에 프로그램되며, 상기 각 프로그램 사이클은 상기 프로그램 동작 및 상기 프로그램 검증 동작으로 구성되는 불휘발성 반도체 메모리 장치.

청구항 9. 멀티-스테이트 불휘발성 반도체 메모리 장치의 프로그램 방법에 있어서:

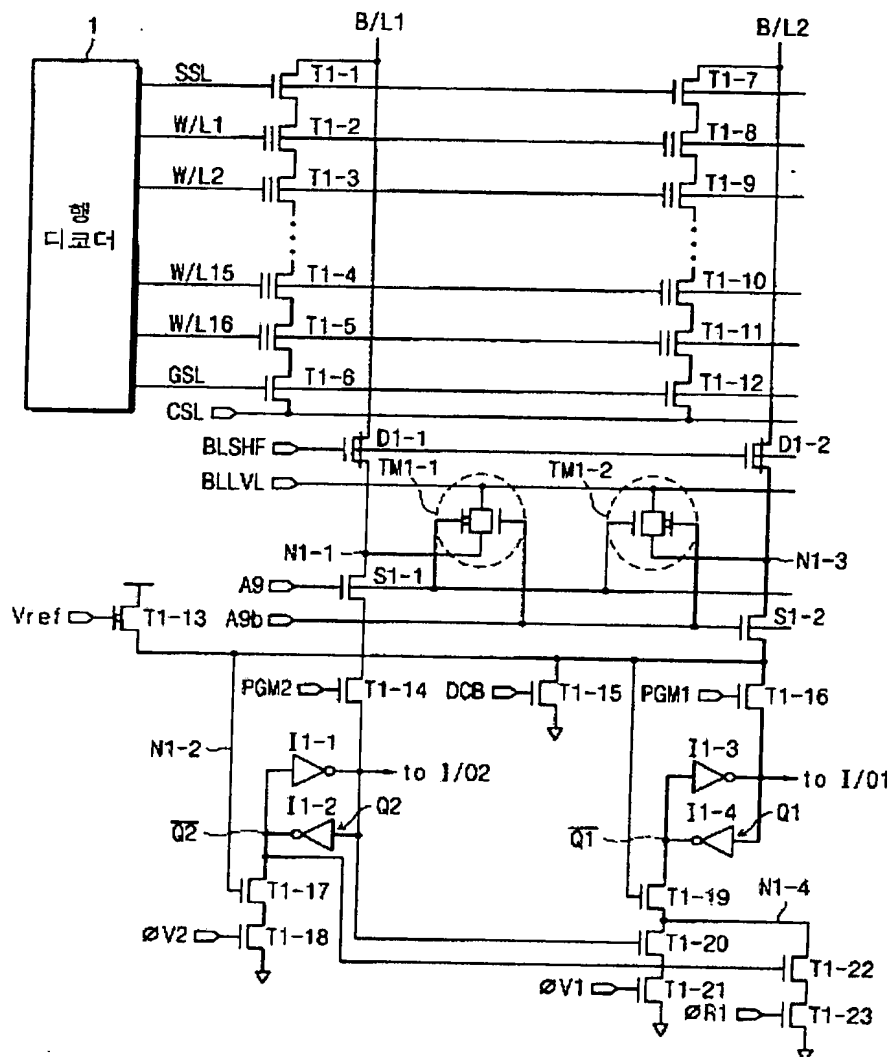
선택된 메모리 셀에 프로그램될 복수의 데이터 비트들의 정보를 저장 회로에 로드하는 단계와;

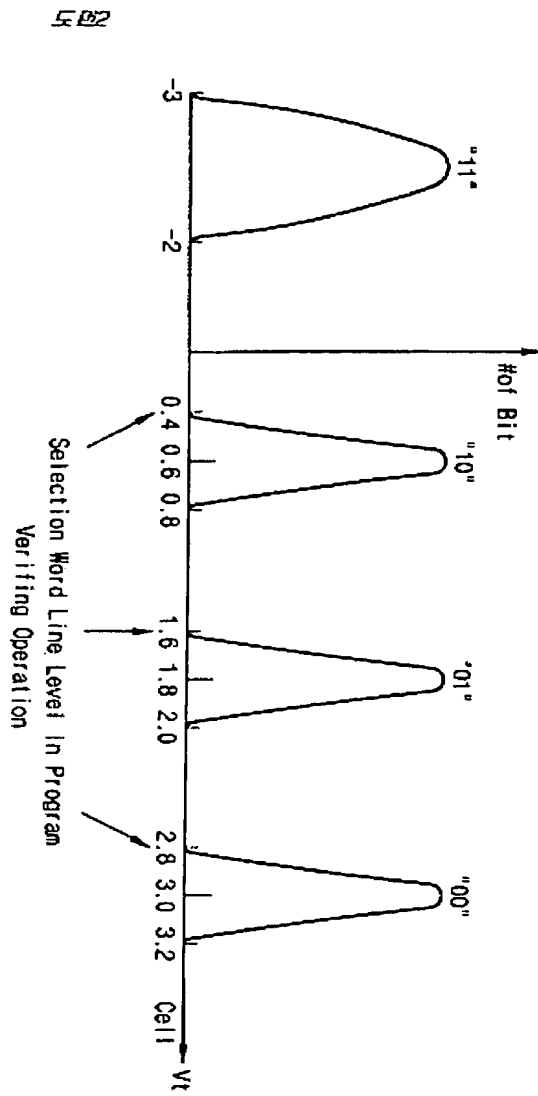
상기 저장 회로의 데이터 비트들 중 적어도 하나가 상기 선택된 메모리 셀의 프로그램을 나타내는지의 여부를 판별하는 단계 및;

상기 적어도 하나의 데이터 비트가 상기 선택된 메모리 셀의 프로그램을 나타낼 때 선택된 비트 라인을 프로그램 전압으로 설정하고, 상기 저장 회로의 데이터 비트를 모두 상기 선택된 메모리 셀의 프로그램 비트를 나타낼 때 상기 비트 라인을 프로그램 금지 전압으로 설정하는 단계를 포함하는 것을 특징으로 하는 프로그램 방법.

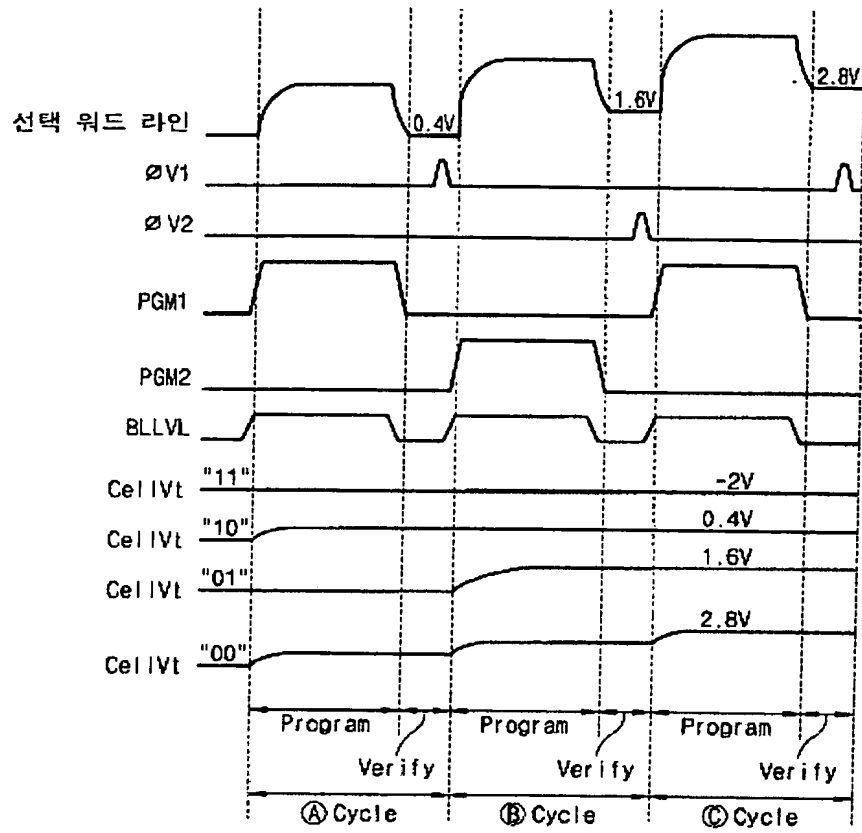
509

END

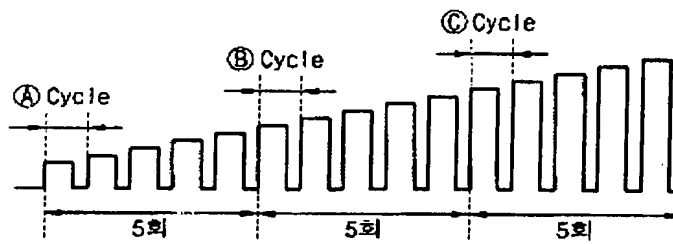




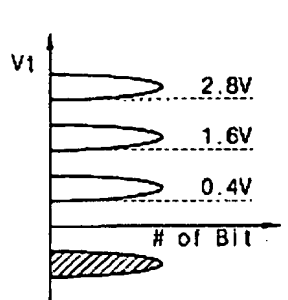
도 23



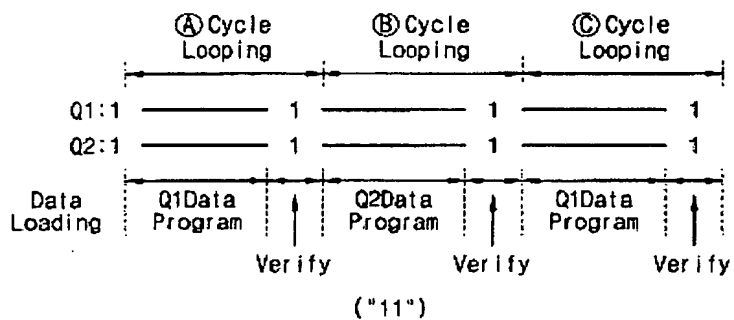
도 24



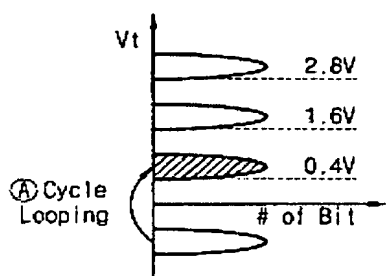
도 15a



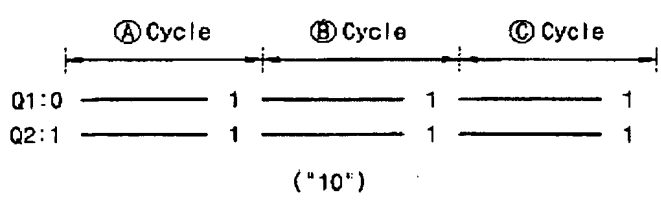
도 15b



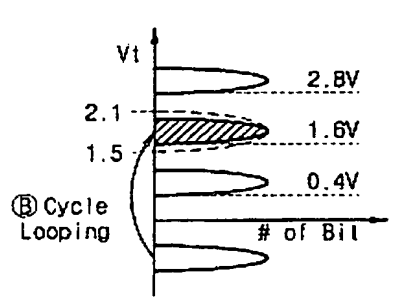
도 15c



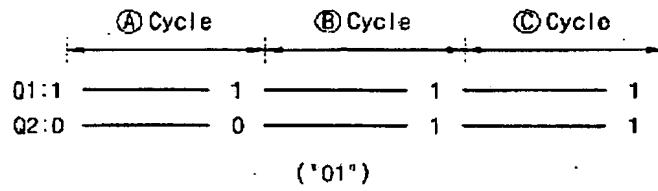
도 15d



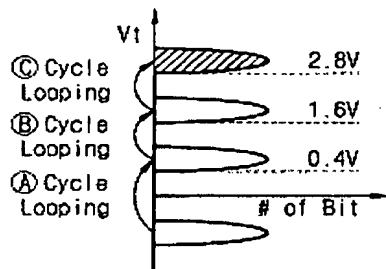
도 18-13a



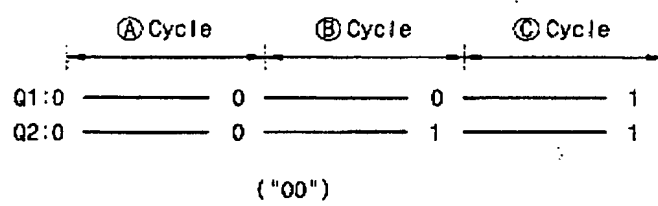
도 18-13b



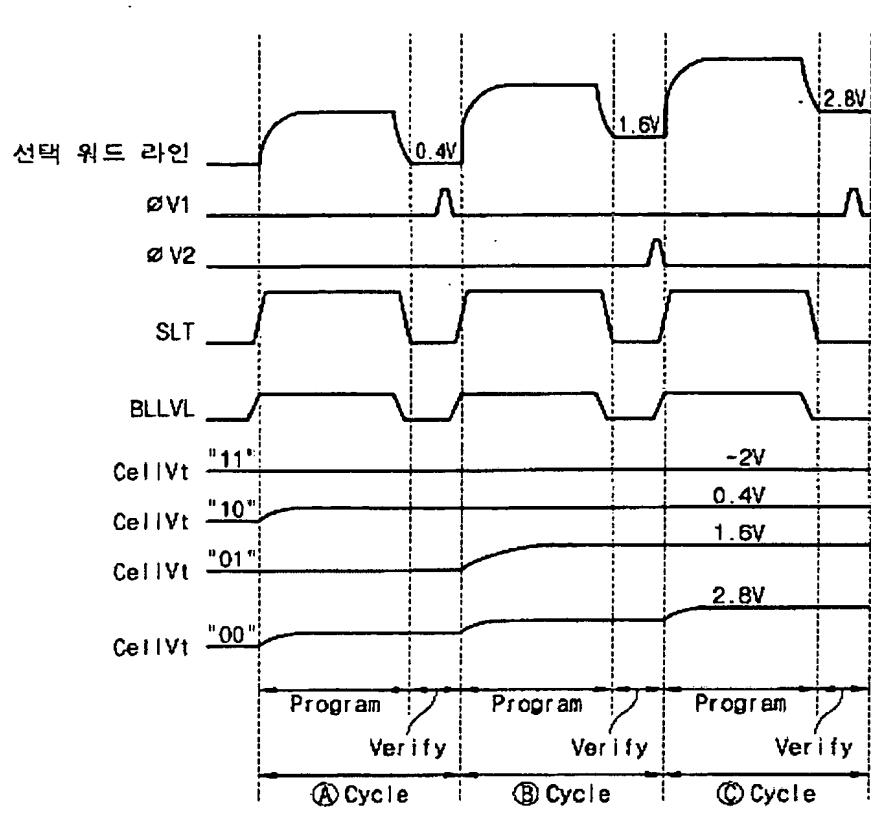
도 18-13c



도 18-13d



도 B3



도 B4

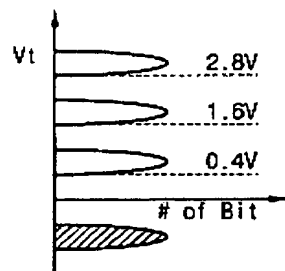


Figure 10b

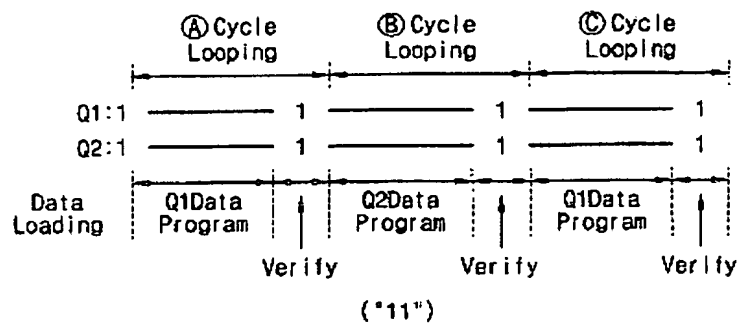


Figure 10c

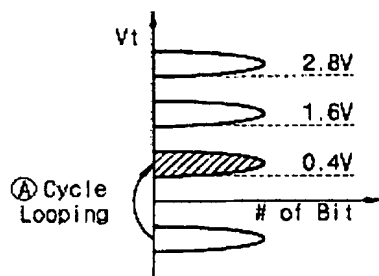


Figure 10d

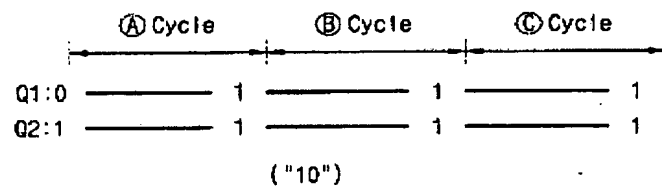
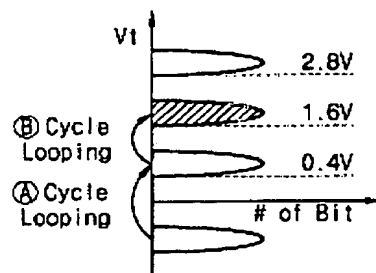
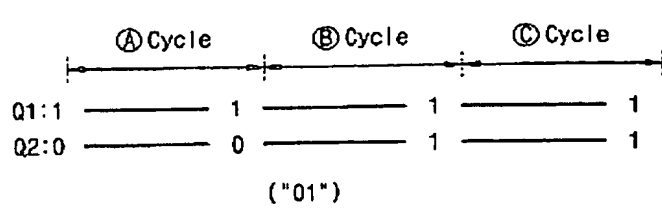


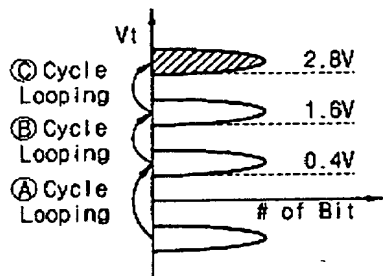
Figure 10e



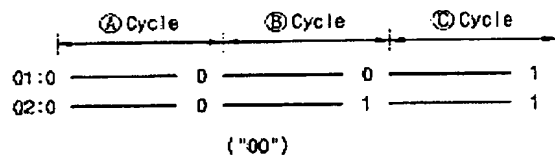
도면 10b



도면 10c



도면 10d



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-167589

(P2001-167589A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.⁷

G 1 1 C 16/02
16/06

識別記号

F I

G 1 1 C 17/00

テーマコード(参考)

6 1 1 E
6 1 1 A
6 3 4 Z
6 3 4 A
6 3 6 Z

審査請求 未請求 請求項の数 9 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2000-334987(P2000-334987)

(22) 出願日 平成12年11月1日(2000.11.1)

(31) 優先権主張番号 1 9 9 9 P-4 7 9 5 9

(32) 優先日 平成11年11月1日(1999.11.1)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 桐 煥

大韓民国ソウル市麻浦区玄石洞4-4番地

(72) 発明者 權 錫 千

大韓民国京畿道成南市盆堂区丁字洞122番

地 サンロックタウン ウーサンアパート
325棟801号

(74) 代理人 100086368

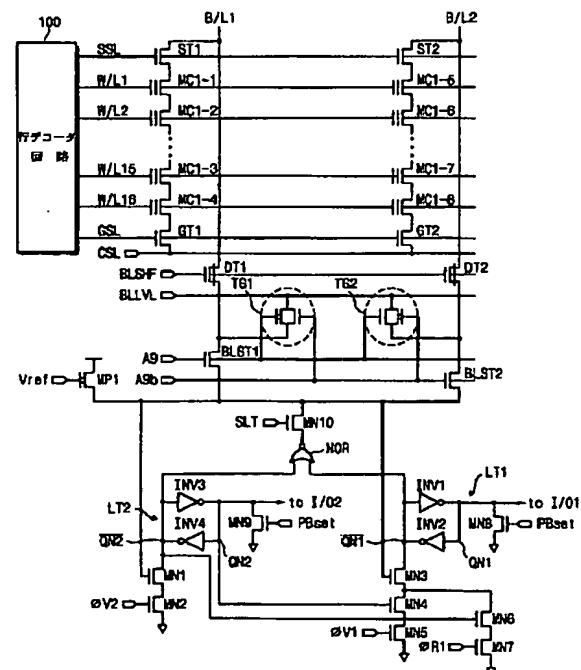
弁理士 萩原 誠

(54) 【発明の名称】 不揮発性半導体メモリ装置およびそのプログラム方法

(57) 【要約】

【課題】 プログラム以後しきい値電圧間のマージンを一定に維持させる不揮発性半導体メモリ装置およびそのプログラム方法を提供する。

【解決手段】 ビットラインと、このビットラインに対して垂直に配列された複数本のワードラインと、前記ビットラインと前記ワードラインの交差領域にそれぞれ配列された複数個のメモリセルと、それぞれが対応する入出力ラインに接続され、データをラッチする少なくとも2つのラッチを有する貯蔵回路と、前記ラッチにラッチされたデータの論理状態によりプログラム動作で前記ビットラインをプログラム電圧及びプログラム禁止電圧のうちの一つに設定するプログラムデータ判別回路とを含む。



【特許請求の範囲】

【請求項1】 ビットラインと、

このビットラインに対して垂直に配列された複数本のワードラインと、

前記ビットラインと前記ワードラインの交差領域にそれぞれ配列された複数個のメモリセルと、それぞれが対応する入出力ラインに接続され、データをラッチする少なくとも2つのラッチを有する貯蔵回路と、

前記ラッチにラッチされたデータの論理状態によりプログラム動作で前記ビットラインをプログラム電圧及びプログラム禁止電圧のうちの一つに設定するプログラムデータ判別回路とを含むことを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記プログラムデータ判別回路は、ラッチにそれぞれラッチされたデータの論理状態のうち少なくとも一つが選択されたメモリセルのプログラムを示すときに前記ビットラインをプログラム電圧に設定し、前記ラッチにそれぞれラッチされたデータの論理状態が前記選択されたメモリセルのプログラム禁止を示すときに前記ビットラインをプログラム禁止電圧に設定することを特徴とする請求項1に記載の不揮発性半導体メモリ装置。

【請求項3】 前記プログラムデータ判別回路は、前記ラッチにそれぞれラッチされたデータをそれぞれ受け入れる入力端子及び出力端子を有するNORゲートと、前記ビットラインと前記NORゲートの出力端子との間に接続され、制御信号によりスイッチオン／オフされるスイッチトランジスタとを含んでおり、前記制御信号はプログラム動作のみで活性化されることを特徴とする請求項2に記載の不揮発性半導体メモリ装置。

【請求項4】 電源電圧と前記ビットラインとの間に接続され、プログラム検証動作で基準電圧にตอบสนองして前記ビットラインに一定の電流を供給する負荷トランジスタと、

前記プログラム検証動作で、ラッチ活性化信号にตอบสนองして前記ビットラインの電圧レベルにしたがって前記貯蔵回路にラッチされたデータの論理状態を反転させ、あるいはそのまま維持させる貯蔵制御回路とを付加的に含むことを特徴とする請求項3に記載の不揮発性半導体メモリ装置。

【請求項5】 前記ワードラインに対して垂直に配列された他のビットライン及び、ビットライン選択信号にตอบสนองして前記ビットラインのうちいずれか一つを選択するビットライン選択回路を付加的に含んでおり、選択されないビットラインはプログラム及びプログラム検証動作で前記ビットライン選択回路により前記電源電圧にバイアスされ、前記選択されたビットラインはプログラム動作で前記ラッチにラッチされたデータの論理状態により前記プログラムデータ判別回路を通じてプログラム電圧

とプログラム禁止電圧のうちの一つに設定されることを特徴とする請求項4に記載の不揮発性半導体メモリ装置。

【請求項6】 前記プログラム電圧は接地電圧レベルを有し、前記プログラム禁止電圧は電源電圧レベルを有することを特徴とする請求項5に記載の不揮発性半導体メモリ装置。

【請求項7】 前記ラッチにそれぞれ接続されると、前記ラッチにプログラムされるデータビットがローディングされる前に初期化信号にตอบสนองして前記ラッチをそれぞれ初期化させる初期化トランジスタを付加的に含むことを特徴とする請求項6に記載の不揮発性半導体メモリ装置。

【請求項8】 前記ラッチにラッチされたデータビットは一連のプログラムサイクルで選択されたメモリセルにプログラムされ、前記各プログラムサイクルは前記プログラム動作及び前記プログラム検証動作で構成されることを特徴とする請求項7に記載の不揮発性半導体メモリ装置。

【請求項9】 マルチステート不揮発性半導体メモリ装置のプログラム方法において、

選択されたメモリセルにプログラムされる複数のデータビットの情報を貯蔵回路にローディングする段階と、前記貯蔵回路のデータビットのうち少なくとも一つが前記選択されたメモリセルのプログラムを示すかどうかを判別する段階と、

前記少なくとも一つのデータビットが前記選択されたメモリセルのプログラムを示すとき、選択されたビットラインをプログラム電圧に設定し、前記貯蔵回路のデータビットがすべて前記選択されたメモリセルのプログラム禁止を示すとき、前記ビットラインをプログラム禁止電圧に設定する段階とを含むことを特徴とするプログラム方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に関し、特にセル当たり複数のビット情報を貯蔵する不揮発性半導体メモリ装置およびそのプログラム方法に関するものである。

【0002】

【従来の技術】不揮発性半導体メモリ装置はマスクROM装置、電気的にプログラム可能なROM (EPROM) 装置、電気的に消去及びプログラム可能なROM (EEPROM) 装置、そして電気的に消去及びプログラム可能なフラッシュROM (flash-EEPROM) 装置に分けられる。このようなメモリ装置のうち、電気的に消去及びプログラム可能なフラッシュROM装置は貯蔵されたデータを一瞬に消去することにより、情報の電気的な変化が得られるということで、個人用コンピュータの永久メモリとして論議されてきた。

【0003】一般のフラッシュメモリ装置において、メモリセルは2つの情報貯蔵状態、すなわち“オン”状態と“オフ”状態のうちの一つを有する。1ビット情報は各メモリセルのオンまたはオフ状態に定義される。上記のメモリ装置にNビットデータ（Nは2またはそれより大きい自然数）を貯蔵するためには、N個のメモリセルが必要である。1ビットメモリセルを有するメモリ装置に貯蔵されるデータビット数を増加しようとするとき、このようなメモリセルの数も比例して増加する。

【0004】1ビットメモリセルに貯蔵された情報はメモリセルのプログラムされた状態により決定される。メモリセルの情報貯蔵状態はしきい値電圧により決定される。言い換えれば、メモリセルは異なるしきい値電圧により異なる情報貯蔵状態を有する。マスクROMにおいては、セルトランジスタのしきい値電圧の差はイオン注入を用いてセルトランジスタをプログラムすることで得られる。EPROM、EEPROM、そしてフラッシュEEPROM装置においては、セルトランジスタのしきい値電圧の差はメモリセルのフローティングゲート内に異なる量の電荷を貯蔵することで得られる。

【0005】具体的に、各メモリセルトランジスタはソース及びドレイン領域間のチャンネル領域上に薄く形成される上部層及び下部層を有する。この上部層は制御ゲートと呼ばれる。下部層は制御ゲート及びチャンネル領域間の絶縁物質により取り囲まれている。この下部層は電荷貯蔵領域としてフローティングゲートと呼ばれる。したがって、各メモリセルに貯蔵される情報の状態はメモリセルのしきい値電圧により区別することができる。

【0006】メモリ装置のメモリセルに貯蔵される情報を読み出すためには、プログラムされたメモリセルの情報貯蔵状態を点検しなければならない。選択されたメモリセルから貯蔵情報を読み出すために要求される信号はデコード回路により選択されたメモリセルに関連した回路に印加される。その結果、メモリセルの貯蔵情報を示す電流または電圧信号をビットラインから得ることができる。このように得られた電流または電圧信号を測定することにより、メモリセルのプログラムされた情報が判別可能である。

【0007】このようなメモリ装置はメモリセルがビットラインに接続される状態によりNOR型またはNAND型メモリセルアレイ構造を有する。NOR型メモリセルアレイにおいて、メモリセルはビットラインと接地ラインとの間にそれぞれ接続される。NAND型メモリセルアレイにおいて、メモリセルはビットラインと接地ラインとの間に直列に接続される。選択トランジスタと共に一つのビットラインに直列接続された複数のメモリセルをストリングと称し、選択トランジスタはメモリセルのストリングを選択するために使用される。この選択トランジスタは直列接続されたメモリセルと関連ビットラインとの間に配列される第1トランジスタ（またはスト

リング選択トランジスタ）と、直列接続されたメモリセルと接地ラインとの間に配列される第2トランジスタ（または接地選択トランジスタ）を含む。

【0008】NAND型メモリ装置に貯蔵された情報を読み出すとき、選択されたストリングの選択トランジスタはオン状態にスイッチされる。なお、選択されたメモリセルの制御ゲートに印加される電圧より高い電圧が選択されないメモリセルの制御ゲートに印加される。その結果、選択されないメモリセルは選択されたメモリセルに比べて少ない等価抵抗成分を有する。関連ビットラインからストリングを通じて流れる電流の大きさはストリングの選択されるメモリセルに貯蔵された情報による。選択されたメモリセルに貯蔵された情報に対応する電流または電圧は感知増幅器としてよく知られている感知回路により感知される。

【0009】チップサイズの増加なしにメモリ装置の情報貯蔵能力を向上するための多くの方法が提案されてきた。例えば、各メモリセルに少なくとも2ビットの情報を貯蔵する。一般に、メモリセルは1ビット情報を貯蔵する。しかし、2ビット情報が一つのメモリセルに貯蔵されるとき、メモリセルは“00”、“01”、“10”、または“11”にプログラムされる。したがって、メモリセルに1ビット情報が貯蔵されるメモリ装置に比べると、メモリ装置は同一の数のメモリセルを持ち、2倍の情報が貯蔵可能である。メモリセル当たり2ビットを貯蔵するとき、各メモリセルのしきい値電圧が4つの異なる値のうちいずれか一つを有するようにプログラムされるマルチステート（マルチレベルまたはマルチビット）メモリ装置が提供される。メモリセル当たり容量が2倍になるので、同一のメモリ容量を提供する一方、チップサイズは減少可能である。メモリセル当たり貯蔵されるビット数が増加するにしたがってマルチステートメモリ装置のデータ貯蔵容量は増加する。

【0010】図1は、NAND型フラッシュEEPROMセルを利用してメモリセル当たり2ビット情報を貯蔵する従来技術によるメモリ装置を示す回路図である。同図のメモリ装置は米国特許番号第5,768,188の「MULTI-STATE NON-VOLATILE SEMICONDUCTOR MEMORY AND METHOD FOR DRIVING THE SAME」に開示されている。この特許に開示された図1のメモリ装置はそれぞれが複数の直列接続されたメモリセルを有する2つのメモリセルストリングを含んでおり、各メモリセルストリングに関連した2つのビットラインを示す。より多くのメモリセルストリングとビットラインが使用されうことは、この分野で熟練した者には分かることであろう。図1において、各ストリングのメモリセルは参照符号T1-2～T1-5またはT1-8～T1-11でそれぞれ示す。選択トランジスタT1-1またはT1-7は各ストリングと関連したビットラインBL1またはBL2間に接続される。選択トランジスタは関連したストリングとビット

ラインを相互に接続するために選択的にターンオンされる。他の選択トランジスタT1-6またはT1-12は各ストリングと共通ソースラインCSLとの間に配列され、ストリング共通ソースラインCSLとの間の接続を選択的に転換する。空乏型トランジスタD1-1またはD1-2は高電圧の印加を防ぐために各ビットラインに接続されている。

【0011】ビットライン選択トランジスタS1-1またはS1-2は各ビットラインに接続されている。各ビットライン選択トランジスタはビットライン選択信号A9またはA9bに応答して各ビットラインを選択する。信号ラインBL1VLは伝達トランジスタTM1-1、TM1-2を通じてビットラインのそれぞれに接続されている。各伝達トランジスタはビットラインが選択されないとき、印加されたビットライン選択信号A9、A9bに応答して信号ラインBL1VLからの信号に関連したビットライン（すなわち、選択されないビットライン）に印加する。この信号はプログラム及び読出し動作で選択されないビットラインにプログラム禁止電圧（例えば、電源電圧Vcc）を供給する一方、消去動作でフローティング状態に維持される。トランジスタT1-13は読出し動作で選択されたビットラインに定電流を供給するためにビットラインに共通に接続されている。図1のメモリ装置は各ビットラインに関連したラッチ型感知増幅器I1-1、I1-2またはI1-3、I1-4を含む。感知増幅器はプログラム動作で外部から印加されるデータをラッチし、関連したビットラインにラッチされたデータに対応する電圧を供給し、読出し動作で読み出されたデータをラッチする。

【0012】複数のトランジスタT1-17、T1-18、T1-19、T1-21、T1-22、T1-23が設けられ、読出し動作で選択されたビットラインのレベルにしたがって感知増幅器のラッチ状態を反転させ、あるいはそのまま維持させる。このような機能は、ラッチ活性化信号φV2、φV1、φR1により制御される。このラッチ活性化信号φV2、φV1、φR1は読出し動作が開始され、所定時間が経過した後、ラッチ状態の反転が要求される時点でパルス形態に活性化される。トランジスタT1-15はビットラインに接続されている。このトランジスタT1-15はビットラインを接地電圧状態に維持させる一方、読出し動作が遂行される直前にラッチを初期化させる。このトランジスタT1-15は信号DCBにより制御される。トランジスタT1-14、T1-16はビットラインBL1、BL2にそれぞれ接続される。トランジスタT1-14、T1-16はプログラム動作が遂行されるときにターンオンされ、ラッチされるデータをビットラインBL1、BL2に伝達する。このトランジスタT1-14、T1-16は制御信号PGM1、PGM2によりそれぞれ制御される。

【0013】図2は、プログラムされたデータによるメ

モリセルのしきい値電圧の分布を示すものである。同図に示すように、プログラムされるメモリセルは-2.0Vより低いしきい値電圧分布（“11”の2ビットデータを示す）、0.4V~0.8V範囲のしきい値電圧分布（“10”の2ビットデータを示す）、1.6V~2.0V範囲のしきい値電圧分布（“01”の2ビットデータを示す）、そして2.8V~3.2V範囲のしきい値電圧分布（“00”の2ビットデータを示す）のうちいずれか一つを有する。このようなしきい値電圧分布を基にして一つのメモリセルに4つの異なる状態でデータが貯蔵される。

【0014】図3及び図4は、プログラム及びプログラム検証動作に関連した信号の波形を示す。プログラムサイクルはプログラム動作とプログラム検証動作を含む。プログラム動作ではメモリセルのフローティングゲートに電子が注入され、プログラム検証動作ではプログラムされたメモリセルそれぞれが要求されるしきい値電圧を持つかどうかを検証される。プログラム動作及びプログラム検証動作は選択されたメモリセルがすべて要求されるしきい値電圧を持つまで反復される。このような動作が反復される回数はメモリ装置で決定される適正值に制限される。F-Nトンネル(Fowler Nordheim tunneling)を利用して選択されたメモリセルをプログラムするためには、例えば、14V~19Vの高電圧がセルの制御ゲートに印加される一方、セルのチャンネルは接地電圧レベルに維持される。

【0015】したがって、比較的強い電界がフローティングゲートとチャンネルとの間に加えられる。この電界により、フローティングゲートとチャンネルとの間に形成される酸化膜を通じてフローティングゲートとチャンネルとの間にトンネリングが生じる。チャンネルに存在する電子はフローティングゲートに移動し、その結果、これら電子はフローティングゲートに蓄積される。フローティングゲートに電荷が蓄積されるにしたがって、セルのしきい値電圧が高くなる。複数のデータセルを構成するメモリ装置の場合、データセルに対するプログラム動作は個別的に遂行されるのではなく、同時に遂行される。しかし、メモリセルは異なるしきい値電圧、すなわち異なるプログラムを必要とする。そのため、一度のプログラム動作が遂行された後、メモリセルが要求される状態に到達したかどうかを検証する必要がある（プログラム検証）、十分にプログラムされたメモリセルに影響を与えず（プログラム禁止）、不十分にプログラムされたメモリセルに対するプログラム動作を遂行する必要がある。このプログラム動作及びプログラム検証動作は選択されたメモリセルがすべて要求されるしきい値電圧に到達するまで繰り返す。図1のメモリ装置において、選択されたワードライン（ワードラインは図1に参照符号WL1~WL16で示す）に接続されるメモリセルのうち半分が上記したようにプログラムされる。

【0016】従来技術によるプログラム動作及びプログラム検証動作は図3のタイミング図に基づいて詳細に説明される。この分野で通常の知識を有する者にはよく知られているように、プログラム動作が遂行される前にすべてのメモリセルのしきい値電圧はよく知られている消去方法により負のしきい値電圧を有する。消去動作の一例が米国特許番号第5,841,721の「MULTI-BLOCK ERASE AND VERIFICATION IN A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND A METHOD THEREOF」に開示されている。

【0017】まず、ビットライン選択信号A9、A9bにより2つのビットラインBL1、BL2のうちの一つのビットラインBL1が選択されるとき、ラインBL1V_Lからの電源電圧V_{cc}が選択されないビットラインBL2に印加される。その結果、選択されないビットラインBL2に関連したメモリセルがプログラムされるのを防ぐことができる。選択されないビットラインに電源電圧V_{cc}を供給するプログラム禁止技術は、この分野で熟練した者にはよく分かることであろう。

【0018】その次に、プログラムされるデータが前記選択されたビットラインBL1に関連したラッチQ2、Q1にローディングされる。“00”のデータがラッチQ2、Q1にローディングされると仮定する。この仮定下で、図3の第1プログラムサイクル(A)が始まると、ラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、0.4V~0.8V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0019】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1V_Lは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は前記感知動作の結果として続けて接地電圧レベルに維持される。このとき、選択されたビットラインBL1とラッチQ1の論理状態はすべて論理“ロー”レベルなので、トランジスタT1-19、T1-20はターンオフされる。したがって、図3に示すように、プログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化してもラッチQ1の論理状態は反転されない。そして、このラッチQ1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第1プログラムサイクル(A)が終了した後、選択されたメモリセルは図6(C)及び図6

(D)に示すように、“10”のデータに対応する0.4V~0.8Vのしきい値電圧分布を有する。

【0020】図3の第2プログラムサイクル(B)が始まると、“0”がラッチされているラッチQ2を選択するための信号PGM2が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されたビットラインBL1はトランジスタT1-14を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0021】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1V_Lは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-17はターンオンされる。このとき、図3に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化されると、ラッチQ2の論理状態は“0”から“1”に反転される。一方、選択されたメモリセルが十分にプログラムされないと、この選択されたビットラインBL1は接地電圧レベルに維持され、その結果、ラッチQ2の状態は反転されない。この場合、ラッチQ2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第2プログラムサイクル(B)が終了した後、選択されたメモリセルは図6(C)及び図6(D)に示すように、“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0022】最後に、図3の第3プログラムサイクル(C)が始まると、“0”がラッチされているラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、2.8V~3.2V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0023】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1V_Lは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-19はターンオンさ

れる。このとき、ラッチQ2の状態が“1”なので、トランジスタT1-20もターンオンされる。したがって、図3に示したように、第3プログラムサイクル(C)のプログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化されると、ラッチQ1の論理状態は“0”から“1”に反転される。第3プログラムサイクル(C)が終了した後、図6(C)及び図6(D)に示すように、前記選択されたメモリセルは“00”のデータに対応する、すなわち目標値である2.8V~3.2Vのしきい値電圧分布を有する。

【0024】“01”のデータがラッチQ2、Q1にローディングされた場合、プログラム及びプログラム検証動作は次のようである。第1プログラムサイクル(A)が始まると、図3に示したようにラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されたビットラインBL1はトランジスタT1-16を通じて電源電圧レベルを有する。したがって、選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは第1プログラムサイクル(A)の間プログラム禁止される。つまり、第1プログラムサイクル(A)が終了した後、選択されたメモリセルのしきい値電圧は消去された状態、すなわち“11”のデータに対応する-3V~-2Vのしきい値電圧分布でそのまま維持される。

【0025】第2プログラムサイクル(B)が始まると、“0”がラッチされているラッチQ2を選択するための信号PGM2が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されたビットラインBL1はトランジスタT1-14を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0026】プログラム検証のための感知動作が遂行されるとき、信号PGM1、PGM2、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルとなり、その結果、トランジスタT1-17はターンオンされる。このとき、図3に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化されると、ラッチQ2の論理状態は“0”から“1”に反転される。その反対に、前記選択されたメモリセルが十分にプログラムされないと、選択されたビットラインBL1は接地電圧レベルに維持され、その結果、ラッチQ2の状態は反転されない。この場合、ラッチQ2によるプログラム動作及び

プログラム検証動作は選択されたメモリセルが十分にプログラムされるまで、または定められたプログラム回数だけ反復的に遂行される。第2プログラムサイクル(B)が終了した後、図6(A)及び図6(B)に示すように、前記選択されたメモリセルは“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0027】継続して第3プログラムサイクル(C)が始まると、ラッチQ1を選択するための信号PGM1が論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、選択されるビットラインBL1はトランジスタT1-16を通じて電源電圧レベルを有する。したがって、選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは第3プログラムサイクル(C)の間プログラム禁止される。結果的に、第3プログラムサイクル(C)が終了した後、選択されたメモリセルは以前にプログラムされた状態、すなわち“01”のデータに対応する1.6V~2.0Vのしきい値電圧分布を有する。

【0028】ラッチQ2、Q1にデータ“11”がローディングされる場合、第1、第2、及び第3プログラムサイクル(A)、(B)、(C)で選択されたビットラインBL1がプログラム禁止状態の電源電圧レベルに維持されるので、選択されたメモリセルは消去された状態に続けて維持される。すなわち、選択されたメモリセルは図5(A)及び図5(B)に示すように、-3V~-2Vのしきい値電圧分布を有する。また、ラッチQ2、Q1にデータ“10”がローディングされる場合、“00”のデータをプログラムする動作で説明したように、第1プログラムサイクルでラッチQ1の状態が“0”から“1”に反転されるので、前記選択されたメモリセルは第2及び第3プログラムサイクル(B)、(C)でプログラム禁止される。つまり、選択されたメモリセルは0.4V~0.8Vのしきい値電圧分布を有する。このような一連の過程を通じて、2ビットデータに対するプログラムが終了する。

【0029】

【発明が解決しようとする課題】上述したプログラム動作で、選択されたメモリセルのプログラムデータによるしきい値電圧の変化を図5及び図6に示す。データ“01”に対するしきい値電圧変化を示す図6(A)及び図6(B)を参照すれば、選択されたメモリセルが第1プログラムサイクル(A)でプログラム禁止されるので、選択されたメモリセルのしきい値電圧は第2プログラムサイクルが遂行されるとき、-3V~-2Vのしきい値電圧分布で1.6V~2.0Vのしきい値電圧分布に移動される。すなわち、選択されたメモリセルのしきい値電圧が“10”のデータに対応するしきい値電圧分布への移動なしに“11”のデータに対応するしきい値電圧分布で“01”のデータに対応するしきい値電圧分布に直

接移動される。このような理由なので、“01”のデータをプログラムするのに必要な時間（プログラム時間）は段階的にまたは順次にプログラムされるメモリセル（例えば、“00”のデータに対する説明を参照）に比べて一層長くなる。したがって、図6（A）に点線で示すように、“01”のデータにプログラムされたメモリセルのしきい値電圧分布（1.5V～2.1V）は要求される値（1.6V～2.0V）より広く分布され、しきい値電圧分布間のマージン（例えば、“10”に対応するしきい値電圧分布と“01”に対応するしきい値電圧分布との間のマージン、または“01”に対応するしきい値電圧分布と“00”に対応するしきい値電圧分布との間のマージン）が減少する。これは、読出し失敗（read fail）の原因となる。

【0030】したがって本発明の目的は、プログラム以後しきい値電圧間のマージンを一定に維持させる不揮発性半導体メモリ装置およびそのプログラム方法を提供することにある。また本発明の目的は、メモリセルを要求されるしきい値電圧までプログラムしようとするとき、メモリセルのしきい値電圧が各プログラムデータに対応するしきい値電圧に順次に移動されるようにする不揮発性半導体メモリ装置およびそのプログラム方法を提供することにある。

【0031】

【課題を解決するための手段】本発明では、一つのメモリセルにプログラムされる情報（例えば、2ビットデータ）を貯蔵する貯蔵回路及びこの貯蔵回路に貯蔵されたデータビットの論理状態を判別するプログラムデータ判別回路を含む。プログラムデータ判別回路は、貯蔵回路に貯蔵されたデータビットのうち少なくとも一つが前記メモリセルのプログラムを示すかどうかを判別し、その判別結果にしたがってビットラインをプログラム電圧（例えば、接地電圧レベル）とプログラム禁止電圧（例えば、電源電圧レベル）のうちの一つに設定する。

【0032】上記のような本発明によると、貯蔵回路に貯蔵されたデータビットの論理状態に関係なくメモリセルを各プログラムサイクルで要求されるしきい値電圧にプログラムすることができる。

【0033】

【発明の実施の形態】以下、本発明の望ましい実施の形態を添付の図面を参照して詳細に説明する。図7は、NAND型フラッシュEEPROMセルを利用してメモリセル当たり2ビット情報を貯蔵する本発明によるメモリ装置を示す回路図である。同図のメモリ装置はそれぞれが複数の直列接続されるメモリセルを有する2つのメモリセルストリングを含む。ここで、各ストリングのメモリセルは参照符号MC1-1～MC1-4またはMC1-5～MC1-8でそれぞれ示す。ストリング選択トランジスタST1、ST2は各ストリングと関連したビットライン間に接続される。このストリング選択トランジスタ

ST1、ST2は行デコーダ回路100に接続されるストリング選択ライン信号SSLの論理状態によりターンオン／オフされ、対応するストリングとビットラインを電氣的に接続する。接地選択トランジスタGT1、GT2は各ストリングと共通ソースラインCSLとの間に配列され、前記行デコーダ回路100からの接地選択ライン信号GSLの論理状態によりターンオン／オフされる。空乏型トランジスタDT1またはDT2は、高電圧が対応するビットラインに印加されることを防止するためのものである。

【0034】ビットライン選択トランジスタBLST1またはBLST2は対応するビットラインBL1、BL2にそれぞれ接続されている。各ビットライン選択トランジスタBLST1、BLST2はビットライン選択信号A9またはA9bに応答して各ビットラインを選択する。信号ラインBL1VLは伝達ゲートTG1、TG2を通じてビットラインBL1、BL2のそれぞれに接続されている。各伝達ゲートTG1、TG2はビットライン選択信号A9、A9bに応答して信号ラインBL1VLからの信号を選択されないビットラインに印加する。この信号はプログラム及び読出し動作で選択されないビットラインにプログラム禁止電圧（例えば、電源電圧Vcc）を供給する一方、消去動作でフローティング状態に維持される。このトランジスタBLST1、BLST2と伝達ゲートTG1、TG2はビットライン選択回路を構成する。

【0035】負荷トランジスタとして動作するPMOSトランジスタMP1は読出し動作で基準電圧Vrefを基にして選択されたビットラインに定電流を供給するためにビットラインBL1、BL2に共通に接続されている。この基準電圧Vrefを生成するための回路の一例が、米国特許番号第5,748,529の「INTEGRATED CIRCUIT MEMORY DEVICES HAVING DIRECT READ CAPABILITY」に開示されている。

【0036】本発明によるメモリ装置は各ビットラインBL1、BL2に対応し、2つのラッチされたインバータINV1とINV2、INV3とINV4で構成されるラッチ回路LT2、LT1を含む。各ラッチ回路LT1、LT2はプログラム動作で外部から印加されるデータをラッチし、読出し動作で読み出されたデータをラッチする。対応する入出力ラインI/O1、I/O2にそれぞれ接続されるラッチ回路LT1、LT2のノードQN1、QN2は読出し動作が遂行される直前に対応するNMOSTランジスタMN8、MN9を通じて初期化され、トランジスタMN8、MN9は初期化信号PBsetの論理状態によりターンオン／オフされる。ラッチ回路LT1、LT2は貯蔵回路を構成する。

【0037】図7のメモリ装置において、貯蔵制御回路を構成する複数のNMOSTランジスタMN1～MN7が更に設けられ、読出し動作で選択されたビットライ

ンレベルにしたがってラッチ回路LT1、LT2のラッチ状態を反転させ、あるいはそのまま維持させる。このような機能は、ラッチ活性化信号φV2、φV1、φR1により制御される。このラッチ活性化信号φV2、φV1、φR1は読出し動作が開始され、所定の時間が経過した後ラッチ状態の反転が要求される時点でパルス形態に活性化される。

【0038】本発明の望ましい実施形態によるメモリ装置は、プログラムデータ判別回路を構成するNORゲートNOR及びNMOSTランジスタMN10を更に含む。NORゲートNORの入力端子はラッチ回路LT1の反転ノード/QN1に接続され、他の入力端子はラッチ回路LT2の反転ノード/QN2に接続される。NMOSTランジスタMN10において、ソースはビットラインBL1、BL2に接続され、ドレインはNORゲートNORの出力端に接続され、ゲートは信号ラインSLTに接続される。信号SLTはプログラムが遂行される間、各プログラムサイクルのプログラム区間で論理“ハイ”レベルに維持される。このような構成によると、プログラムされるデータビットのうち少なくとも一つが論理“ロー”レベルのとき（任意の選択されたセルがプログラムされることを示すとき）、選択されるビットラインは各プログラムサイクルのプログラム動作が遂行されるときにNORゲートNOR及びNMOSTランジスタMN10を通じてプログラム電圧、すなわち接地電圧レベルに設定される。そして、プログラムされるデータビットがすべて論理“ハイ”レベルのとき（任意の選択されるセルがプログラム禁止されることを示すとき）、選択されるビットラインは各プログラムサイクルのプログラム動作が遂行されるとき、プログラムデータ判別回路によりプログラム禁止電圧、すなわち電源電圧レベルに設定される。

【0039】ここで、他の論理ゲートを用いて上述したような機能を遂行するようにプログラムデータ判別回路を構成することは自明である。そして、図7には2つのビットラインのみを示したが、より多くのビットラインが設けられ、図示しないビットラインに関連した構成要素も図7に示した構成要素と同一に構成されることは、この分野で通常の知識を有する者には明らかなことである。

【0040】以下、本発明によるメモリ装置のプログラム動作及びプログラム検証動作を参照図面に基いて詳細に説明する。図8は、本発明のプログラム動作及びプログラム検証動作を説明するためのタイミング図である。この分野で通常の知識を有する者にはよく知られているように、プログラム動作が遂行される以前にすべてのメモリセルのしきい値電圧はよく知られている消去方法により負のしきい値電圧を有する。この後、選択されたメモリセルに対するプログラムが、次のように遂行される。

【0041】まず、ビットライン選択信号A9、A9bにより2つのビットラインBL1、BL2のうちいずれか一つのビットラインBL1が選択されるとき、ラインBL1VLからの電源電圧Vccが選択されないビットラインBL2に印加される。その結果、選択されないビットラインBL2に関連したメモリセルがプログラムされることを防止可能である。その次に、選択されたビットラインBL1に関連したラッチ回路LT2、LT1にプログラムされるデータビットがローディングされる。

【0042】〈“11”のデータに対するプログラム及びプログラム検証動作〉“11”のデータがラッチ回路LT2、LT1にローディングされると仮定する。この仮定下で、第1プログラムサイクル(A)が始まると、図8に示すように、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移する。これにより、NMOSTランジスタMN10はターンオンされ、NORゲートNORの出力端は前記選択されたビットラインBL1に接続される。NORゲートNORの入力端子が論理“ロー”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ハイ”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて電源電圧レベル、すなわちプログラム禁止電圧に設定される。

【0043】この後、選択されたメモリセルが接続される選択されたワードライン（ワードラインは図7に参照符号WL1～WL16で示す）に高電圧が印加される。所定時間が経過した後、選択されたメモリセルはビットラインBL1がプログラム禁止電圧Vccに維持されるので、消去された状態に維持される。したがって、プログラム検証動作の結果として、ラッチ回路LT2、LT1のノードQN2、QN1は初期にローディングされた論理状態“11”に維持される。第1プログラムサイクル(A)と同様に、前記選択されたビットラインBL1は第2及び第3プログラムサイクル(B)、(C)でプログラム禁止電圧を有し、その結果、ラッチ回路LT2、LT1のノードQN2、QN1は初期にローディングされた論理状態“11”に維持される。すなわち、図9(A)及び図9(B)に示すように、選択されたメモリセルは“11”のデータに対応するしきい値電圧分布-3V～-2Vを有する。

【0044】〈“10”のデータに対するプログラム動作及びプログラム検証動作〉“10”のデータビットがラッチ回路LT2、LT1にローディングされる場合、プログラム及びプログラム検証動作は、次のようである。まず、第1プログラムサイクル(A)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移し、その結果、NMOSTランジスタMN10はターンオンされる。このとき、NORゲートNORの出力端は前記選択されたビットラインBL1に接続され

る。NORゲートNORの入力端子が論理“ロー”レベル及び論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベル（プログラム電圧）に設定される。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定時間が経過した後、選択されたメモリセルが消去状態のしきい値電圧（例えば、 $-3\text{V} \sim -2\text{V}$ ）から要求されるしきい値電圧（例えば、 $0.4\text{V} \sim 0.8\text{V}$ ）までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0045】プログラム検証のための感知動作が遂行されるとき、信号SLT、BLVLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は前記感知動作の結果として継続して電源電圧レベルに維持される。この選択されたビットラインBL1及びラッチ回路LT2のノードQN2がすべて論理“ハイ”レベルなので、トランジスタMN3、MN4はすべてターンオンされる。このとき、第1プログラムサイクル(A)のプログラム検証区間内でラッチ活性化信号φV1がパルス形態に活性化されると、ラッチ回路LT1のノードQN1の論理状態は“0”から“1”に反転される。

【0046】一方、前記選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。選択されたビットラインBL1及びラッチ回路LT2のノードQN2が論理“ロー”レベル及び論理“ハイ”レベルなので、トランジスタMN3はターンオフされ、トランジスタMN4はターンオンされる。このような状態で、第1プログラムサイクル(A)のプログラム検証区間内でラッチ活性化信号φV1がパルス形態に活性化されても、ラッチ回路LT1のノードQN1の論理状態は反転されない。上記したラッチ回路LT1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで（または、定められたプログラム回数だけ）反復的に遂行される。

【0047】上記第1プログラムサイクル(A)が終了した後、ラッチ回路LT2、LT1のラッチ状態が“10”から“11”に変化するので、選択されたメモリセルは上述したように第2及び第3プログラムサイクル(B)、(C)でプログラム禁止される。その結果、“10”に対するプログラムサイクルが遂行された後、図9(C)及び図9(D)に示すように選択されたメモリセルは $0.4\text{V} \sim 0.8\text{V}$ のしきい値電圧分布を有する。

【0048】“01”のデータに対するプログラム動

作及びプログラム検証動作“01”のデータがラッチ回路LT2、LT1にローディングされた後、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移することにより第1プログラムサイクル(A)が始まる。NMOSTランジスタMN10はこの信号SLTのローハイ遷移によりターンオンされ、その結果、NORゲートNORの出力端は選択されたビットラインBL1に接続される。ラッチ回路LT2、LT1の反転ノード/QN2、/QN1がそれぞれ論理“ハイ”レベルと論理“ロー”レベルを有するので、選択されたビットラインBL1は接地電圧レベルを有する。この後、選択されたメモリセルが消去状態のしきい値電圧（例えば、 $-3\text{V} \sim -2\text{V}$ ）から要求されるしきい値電圧（例えば、 $0.4\text{V} \sim 0.8\text{V}$ ）までプログラムされるように選択されたワードラインに高電圧が印加される。

【0049】ここで、ラッチ回路LT1のノードQN1が論理“ハイ”レベルなので、選択されたメモリセルは不十分にプログラムされても第1プログラムサイクル(A)で最初に遂行されるプログラム検証動作で十分にプログラムされると判別される（図示しないが、この分野でよく知られているパス/フェール判別回路により判別される）。したがって、第1プログラムサイクル(A)のプログラム検証動作は遂行されない。この後、第1プログラムサイクル(A)が終了した後、選択されたメモリセルは $0.4\text{V} \sim 0.8\text{V}$ のしきい値電圧分布を持ち、これを図10(A)及び図10(B)に示す。

【0050】“01”に対する第2プログラムサイクル(B)が始まると、信号SLTは更に論理“ロー”レベルから論理“ハイ”レベルに遷移し、その結果、NMOSTランジスタMN10はターンオンされる。このとき、NORゲートNORの出力端が選択されたビットラインBL1に接続される。前記NORゲートNORの入力端子が論理“ハイ”レベル及び論理“ロー”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルになる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。選択されたメモリセルが接続される選択されたワードラインに高電圧が印加され、所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧（例えば、 $1.6\text{V} \sim 2.0\text{V}$ ）までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0051】プログラム検証のための感知動作が遂行されるとき、信号SLT、BLVLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされると、ビットラインBL1は感知動作の結果として続けて電源電圧レベルに維持される。選択されるビットラインBL1の論理状態が論理“ハイ”レベルなので、トランジスタMN1はターンオンされる。

この状態で、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化されるとき、ラッチ回路LT2のラッチ状態は“0”から“1”に反転される。

【0052】一方、もし選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN1はターンオフされる。このような状態で、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化しても、ラッチ回路LT2のラッチ状態は反転されない。上述したラッチ回路LT2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで(または、定められたプログラム回数だけ)反復的に遂行される。

【0053】上述した第2プログラムサイクル(B)が終了した後、ラッチ回路LT2、LT1のラッチ状態が“01”から“11”に変化されるので、選択されたメモリセルは第3プログラムサイクル(C)でプログラム禁止される。つまり、“01”に対する一連のプログラムサイクル(A)、(B)、(C)が遂行された後、選択されたメモリセルは図10(A)及び図10(B)に示したように1.6V~2.0Vのしきい値電圧分布を有する。本発明の“01”のデータに対するプログラム動作及びプログラム検証動作によると、図10(A)及び図10(B)から分かるように、選択されたメモリセルのしきい値電圧は第1プログラムサイクル(A)で“10”に対応するしきい値電圧分布(0.4V~0.8V)に移動され、第2プログラムサイクル(B)で“01”に対応するしきい値電圧分布(1.6V~2.0V)に移動される。すなわち、従来技術によるメモリ装置とは違って、選択されたメモリセルは“10”のデータに対応するしきい値電圧分布にプログラムされる。プログラムされるメモリセルのしきい値電圧が順次に移動されることにより、プログラム時間が長くなることと、しきい値電圧分布が広くなることを防止することが可能である。つまり、“10”及び“01”のデータに対応する、そして“01”及び“00”のデータに対応するしきい値電圧分布間のマージンを一定に維持することができる。

【0054】〈“00”のデータに対するプログラム動作及びプログラム検証動作〉“00”のデータがラッチ回路LT2、LT1にローディングされると仮定する。このような仮定下で、第1プログラムサイクル(A)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに遷移し、これは図8に示すようである。これにより、NMOSTランジスタMN10はターンオンされ、NORゲートNORの出力端は選択されたビットラインBL1に接続される。NORゲートNOR

の入力端子が論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。つまり、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが消去状態のしきい値電圧(例えば、-3V~-2V)で要求されるしきい値電圧(例えば、0.4V~0.8V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0055】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。このとき、選択されたビットラインBL1及びラッチ回路LT2のノードQN2の論理状態が論理“ロー”レベルなので、トランジスタMN3、MN4はターンオフされる。したがって、図8に示すように、第1プログラムサイクル(A)のプログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化しても、ラッチ回路LT1のラッチ状態は反転されない。このラッチ回路LT1によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで(または定められたプログラム回数だけ)反復的に遂行される。第1プログラムサイクル(A)が終了した後、図10(C)及び図10(D)に示すように、選択されたメモリセルはデータ“10”に対応する0.4V~0.8Vのしきい値電圧分布を有する。

【0056】第2プログラムサイクル(B)が始まると、信号SLTが論理“ロー”レベルから論理“ハイ”レベルに更に遷移し、これはNMOSTランジスタMN10をターンオン状態にする。第1プログラムサイクル(A)と同様に、NORゲートNORの入力端子が論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。したがって、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、1.6V~2.0V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0057】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分

にプログラムされないと、ビットラインBL1は感知動作の結果として継続して接地電圧レベルに維持される。このとき、選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN1はターンオフされる。したがって、図8に示したように、第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化しても、ラッチ回路LT2の論理状態Q2は反転されない。このラッチ回路LT2によるプログラム動作及びプログラム検証動作は選択されたメモリセルが十分にプログラムされるまで反復的に遂行される。

【0058】一方、選択されたメモリセルが十分にプログラムされるとき、選択されたビットラインBL1は電源電圧レベルとなり、その結果、トランジスタMN1はターンオンされる。第2プログラムサイクル(B)のプログラム検証区間でラッチ活性化信号φV2がパルス形態に活性化されると、ラッチ回路LT2のラッチ状態は“0”から“1”に反転される。すなわち、第2プログラムサイクル(B)が終了した後、ラッチ回路LT2、LT1のラッチ状態は“00”から“10”に変化し、選択されたメモリセルは1.6V〜2.0Vのしきい値電圧分布を有し、これを図10(C)及び図10(D)に示している。

【0059】“00”のデータに対する第3プログラムサイクル(C)が始まると、NMOSTランジスタMN10は信号SLTのロー→ハイ遷移に応答してターンオンされる。NORゲートNORの入力端子が論理“ロー”レベル及び論理“ハイ”レベルのラッチ状態を有する反転ノード/QN2、/QN1にそれぞれ接続されているので、NORゲートNORの出力は論理“ロー”レベルとなる。したがって、選択されたビットラインBL1はNORゲートNOR及びNMOSTランジスタMN10を通じて接地電圧レベルを有する。この後、選択されたメモリセルが接続される選択されたワードラインに高電圧が印加される。所定の時間が経過した後、選択されたメモリセルが要求されるしきい値電圧(例えば、2.8V〜3.2V)までプログラムされたかどうかを検証するためのプログラム検証動作が遂行される。

【0060】プログラム検証のための感知動作が遂行されるとき、信号SLT、BL1VLは論理“ロー”レベルにそれぞれ維持される。選択されたメモリセルが十分にプログラムされないと、ビットラインBL1は感知動作の結果として続けて接地電圧レベルに維持される。このとき、選択されたビットラインBL1の論理状態が論理“ロー”レベルなので、トランジスタMN3はターンオフされる。したがって、図8に示したように、第3プログラムサイクル(C)のプログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化しても、ラッチ回路LT1のラッチ状態は反転されない。このラッチ回路LT1によるプログラム動作及びプログラム検証動作

は選択されたメモリセルが十分にプログラムされるまで反復的に遂行される。

【0061】選択されたメモリセルが十分にプログラムされるとき、選択されたビットラインBL1は電源電圧レベルとなり、その結果、トランジスタMN3はターンオンされる。そして、ラッチ回路LT2のノードQN2の論理状態が以前プログラムサイクル(B)で“0”から“1”に変化したので、トランジスタMN4もターンオンされる。このような状態で、第3プログラムサイクル(C)のプログラム検証区間でラッチ活性化信号φV1がパルス形態に活性化されると、ラッチ回路LT1のラッチ状態は“0”から“1”に反転される。つまり、第3プログラムサイクル(C)が終了した後、図10(C)及び図10(D)に示したように、ラッチ回路LT2、LT1のラッチ状態は“10”から“11”に変化され、選択されたメモリセルは2.8V〜3.2Vのしきい値電圧分布を有する。

【0062】本発明のメモリ装置はマスクROM、EPROM、EEPROMを用いて具現され、本発明によるメモリ装置はセル当たり2ビットより多くのビットが貯蔵されるように拡張可能である。なお、本発明のメモリ装置はメモリセルが高いしきい値電圧から低いしきい値電圧にプログラムされる方法にも適用可能である。

【0063】

【発明の効果】上述したように、本発明によれば、任意の選択されたセルを消去された状態のしきい値電圧から目標しきい値電圧にプログラムしようとするとき、選択されたセルは消去された状態のしきい値電圧と目標しきい値電圧との間のしきい値電圧に対応して順次にプログラムされる。したがって、任意のデータ(例えば、“10”)に対応するしきい値電圧を経ずにプログラムする従来技術と比較してみると、本発明によればプログラム時間が長くなり、あるいは目標しきい値電圧の分布が広くなることを防ぐことができる。つまり、しきい値電圧分布間のマージンを一定に維持できる効果がある。

【図面の簡単な説明】

【図1】従来技術による不揮発性半導体メモリ装置を示す回路図。

【図2】プログラムされたデータによるメモリセルのしきい値電圧分布を示す図。

【図3】図1のメモリ装置のプログラム及びプログラム検証動作に関連した信号を示すタイミング図。

【図4】プログラム及び検証動作で図1の選択されたワードラインに印加される電圧を示す図。

【図5】プログラム動作で、図1によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図6】プログラム動作で、図1によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図7】本発明による不揮発性半導体メモリ装置の実施の形態を示す回路図。

【図8】図7のメモリ装置のプログラム及びプログラム検証動作に関連した信号を示すタイミング図。

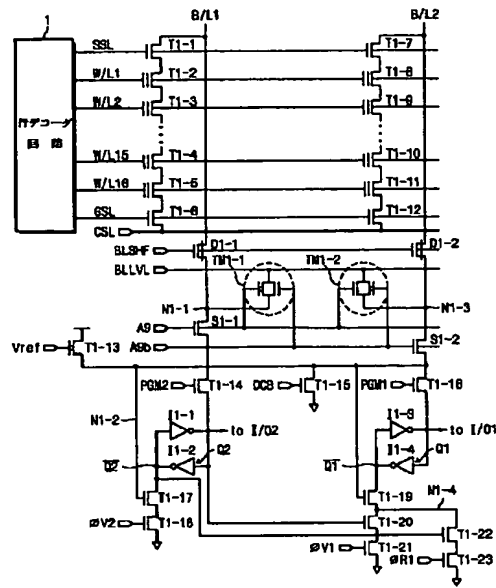
【図9】プログラム動作で、図7によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

【図10】プログラム動作で、図7によるメモリセルのプログラムデータ及びしきい値電圧の変化を示す図。

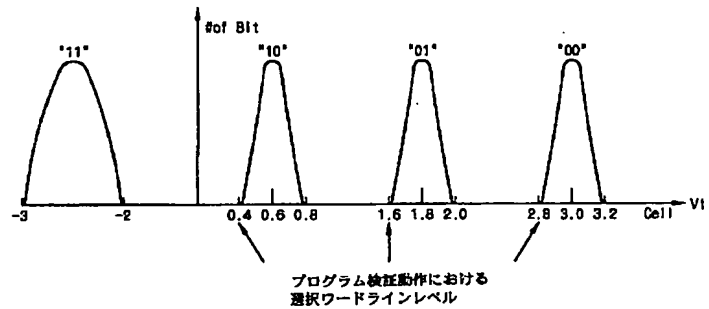
【符号の説明】

BL1, BL2 ビットライン
WL1~WL16 ワードライン
MC1-1~MC1-8 メモリセル
LT1, LT2 ラッチ回路
NOR NORゲート
MN10 NMOSTランジスタ

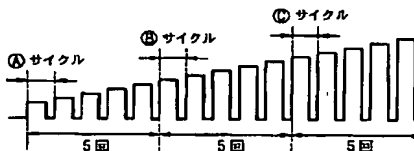
【図1】



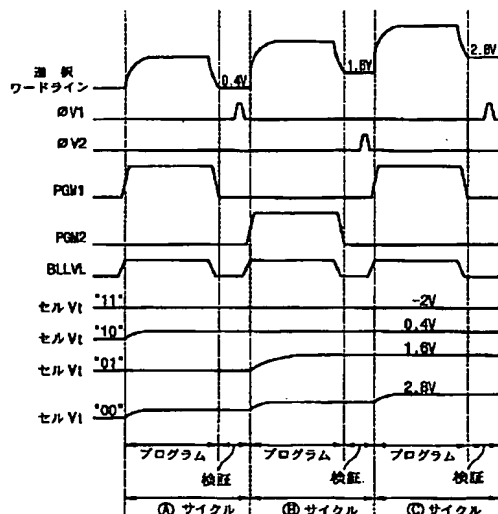
【図2】



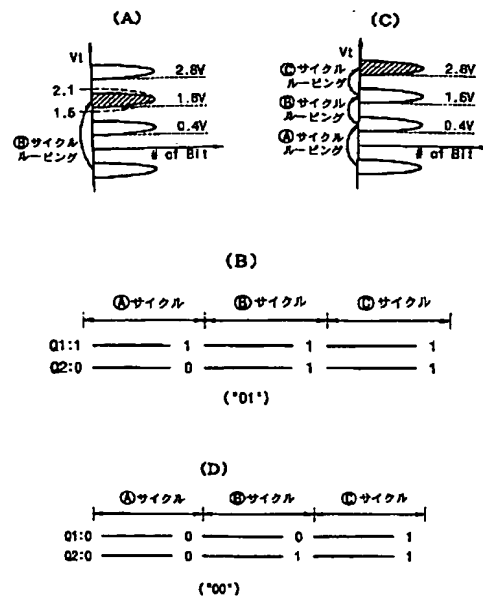
【図4】



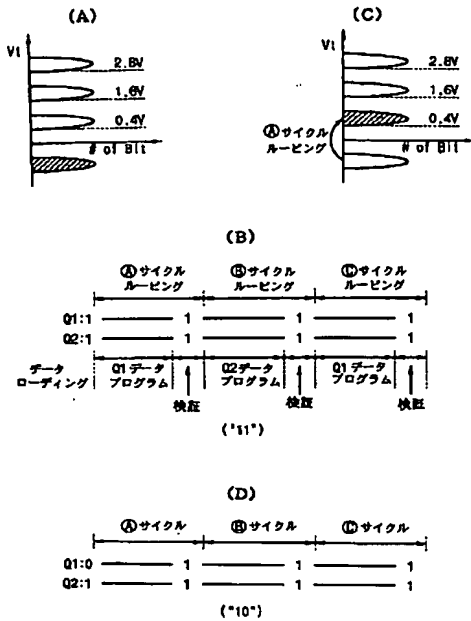
【図3】



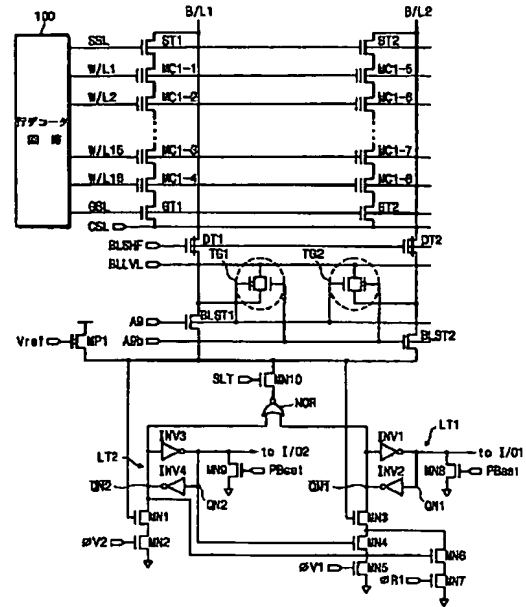
【図6】



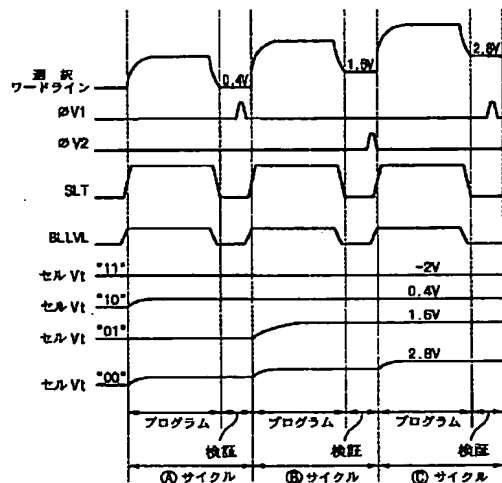
【図5】



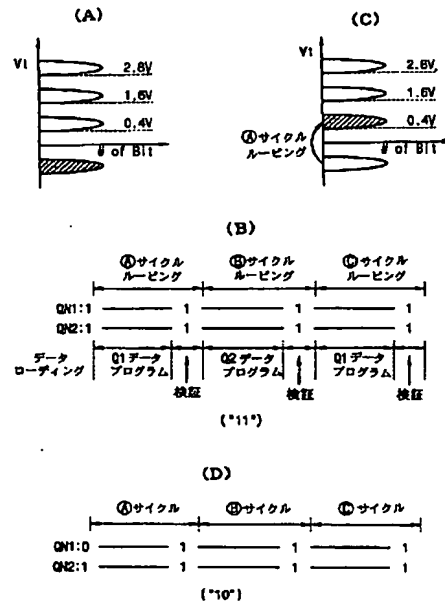
【図7】



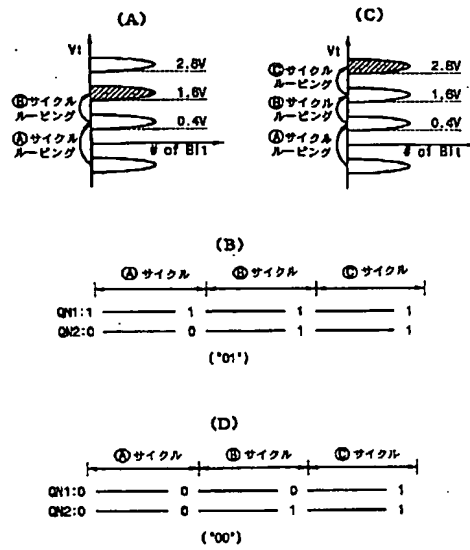
【図8】



【図9】



【図10】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I
G 1 1 C 17/00

テ-マ-コード (参考)
6 4 1